

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10275897 A**

(43) Date of publication of application: **13.10.98**

(51) Int. Cl.

**H01L 27/10**  
**H01L 27/108**  
**H01L 21/8242**  
**H01L 21/8247**  
**H01L 29/788**  
**H01L 29/792**

(21) Application number: **09182481**

(22) Date of filing: **08.07.97**

(30) Priority: **09.07.96 JP 08179296**  
**03.02.97 JP 09 20330**

(71) Applicant: **TOSHIBA CORP**

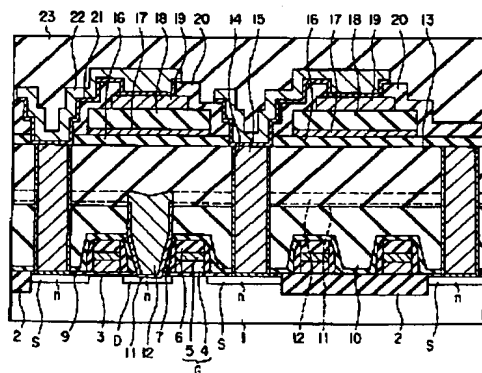
(72) Inventor: **MOCHIZUKI HIROSHI**  
**KANETANI HIROYUKI**  
**KUNISHIMA IWAO**  
**SHUDO SUSUMU**  
**OKUWADA HISAMI**  
**HIDAKA OSAMU**

(54) **METHOD OF MANUFACTURING  
SEMICONDUCTOR DEVICE AND  
SEMICONDUCTOR DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To prevent a ferroelectric capacitor from deteriorating in characteristics and to enable manufacturing processes to be integrated, when a ferroelectric memory cell is formed by a method, wherein the upper electrode of the ferroelectric capacitor and the upside of a capacitor contact plug are connected together with an electrode wiring.

**SOLUTION:** An opening is provided to a capacitor protective insulating film 20n and a cap-insulating film 16, corresponding to a capacitor contact plug, and another opening is provided to the capacitor protective insulating film 20 corresponding to a capacitor upper electrode 19. In this case, the former opening is larger in area than the upside of a capacitor contact plug 15, and the latter opening is smaller in area than that of the capacitor upper electrode 19. A conductive film as an electrode material for connecting the capacitor contact plug 15 and the capacitor upper electrode 10 together is deposited, so as to cover the capacitor protective insulating film 20 and patterned into an electrode wiring 22, and a passivation film 23 is deposited thereon.



COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 275897

(43) 公開日 平成 10 年 (1998) 10 月 13 日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H01L 27/10	451		H01L 27/10	451
27/108				651
21/8242			29/78	371
21/8247				
29/788				

審査請求 未請求 請求項の数 42 O L (全 35 頁) 最終頁に続く

(21) 出願番号 特願平 9 - 182481  
(22) 出願日 平成 9 年 (1997) 7 月 8 日  
(31) 優先権主張番号 特願平 8 - 179296  
(32) 優先日 平 8 (1996) 7 月 9 日  
(33) 優先権主張国 日本 (J P)  
(31) 優先権主張番号 特願平 9 - 20330  
(32) 優先日 平 9 (1997) 2 月 3 日  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町 72 番地  
(72) 発明者 望月 博  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内  
(72) 発明者 金谷 宏行  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内  
(72) 発明者 國島 巖  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内  
(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

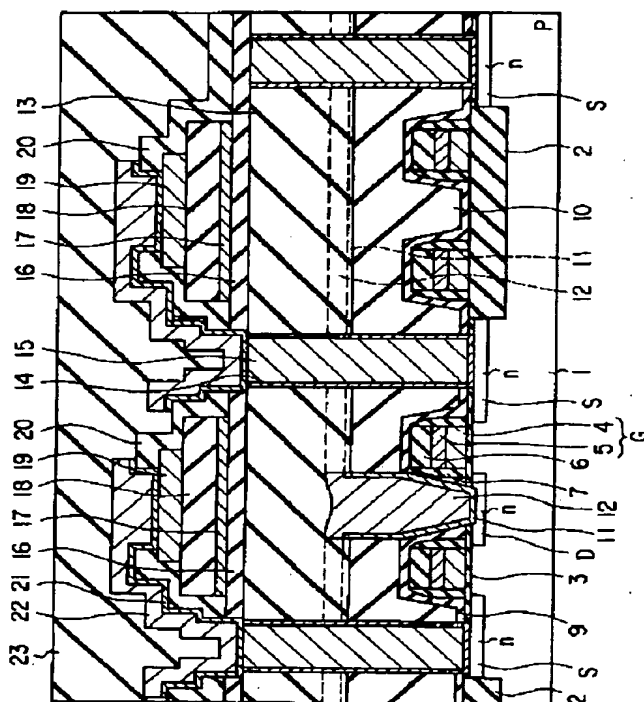
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】 強誘電体キャパシタの上部電極をバストランジスタに接続する構造を有する強誘電体メモリセルを製造する際に、強誘電体キャパシタの特性劣化を防止し、かつ、プロセスインテグレーションを可能とする。

【解決手段】 1 個のバストランジスタ Q と 1 個の強誘電体キャパシタ C とが直列に接続された強誘電体メモリセル MC を製造する際、バストランジスタのソース領域 S 上の絶縁膜 13 にコンタクトプラグ 15 を埋め込み、コンタクトプラグ 15 の上端面とキャパシタ上部電極 19 とを電極配線 22 により接続する。



## 【特許請求の範囲】

【請求項 1】 半導体基板の表層部に不純物拡散領域からなるドレイン領域・ソース領域を有する M I S トランジスタを形成する工程と、

この後、前記半導体基板上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜に選択的にコンタクトホールを開口し、前記 M I S トランジスタの一端側領域に下端部がコンタクトするキャパシタコンタクトプラグを埋め込み形成する工程と、

この後、前記半導体基板上に下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパシタを形成する工程と、

前記強誘電体キャパシタの上部電極とキャパシタコンタクトプラグの上端面との間を接続する電極配線を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板の表層部に不純物拡散領域からなるドレイン領域・ソース領域を有する M I S トランジスタを形成する工程と、

この後、前記半導体基板上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜に選択的にコンタクトホールを開口し、前記 M I S トランジスタの一端側領域に下端部がコンタクトするビット線を前記第 1 の絶縁膜上に形成する工程と、

この後、前記半導体基板上に第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜および第 1 の絶縁膜に選択的にコンタクトホールを開口し、前記 M I S トランジスタの他端側領域に下端部がコンタクトするキャパシタコンタクトプラグを埋め込み形成する工程と、

この後、前記半導体基板上に下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパシタを形成する工程と、

前記強誘電体キャパシタの上部電極とキャパシタコンタクトプラグの上端面との間を接続する電極配線を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 3】 半導体基板の表層部に不純物拡散領域からなるドレイン領域・ソース領域を有する M I S トランジスタを形成する工程と、

この後、前記半導体基板上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜に選択的にコンタクトホールを開口し、前記 M I S トランジスタの一端側領域に下端部がコンタクトするビット線を前記第 1 の絶縁膜上に形成するとともに前記 M I S トランジスタの他端側領域に下端部がコンタクトする第 1 のキャパシタコンタクトプラグを埋め込み形成する工程と、

この後、前記半導体基板上に第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜に選択的にコンタクトホールを開口し、前記第 1 のキャパシタコンタクトプラグの上端部に下端部がコンタクトする第 2 のキャパシタコンタクトプラグを埋め込み形成する工程と、

この後、前記半導体基板上に下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパシタを形成する工程と、

10 前記強誘電体キャパシタの上部電極と第 2 のキャパシタコンタクトプラグの上端面との間を接続する電極配線を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法において、

前記キャパシタコンタクトプラグを埋め込み形成した後、前記強誘電体キャパシタを形成する前に半導体基板上に第 3 の絶縁膜を堆積する工程と、

20 前記強誘電体キャパシタを形成する工程と前記電極配線を形成する工程との間で前記第 3 の絶縁膜に電極配線コンタクト用のコンタクトホールを開口する工程とをさらに具備することを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法において、

前記電極配線を形成する工程は、前記キャパシタコンタクトプラグの上端面をエッチングした後に電極配線材料を堆積してパターニングすることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法において、

30 前記キャパシタコンタクトプラグを埋め込み形成した後で前記強誘電体キャパシタを形成する前に、水素系ガスおよび窒素系ガスの少なくとも一方を用いてシンタリングする工程を具備することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法において、

前記強誘電体キャパシタを形成する際、下部電極膜および電極間絶縁膜を堆積した後、前記電極間絶縁膜上に第 3 の絶縁膜を堆積し、前記第 3 の絶縁膜を選択的に開口し、その開口部および前記第 3 の絶縁膜上に前記上部電極形成用の電極材料を堆積した後に、前記第 3 の絶縁膜上の電極材料を除去することによって前記上部電極を形成することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 7 記載の半導体装置の製造方法において、

50 前記第 3 の絶縁膜上の電極材料を除去した後、前記第 3 の絶縁膜、電極間絶縁膜および下部電極膜を同一のマスクパターンを用いて順次パターニング加工することを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 2 または 3 記載の半導体装置の製造方法において、

前記キャパシタコンタクトプラグを形成する工程は、前記コンタクトホールを開口した後の第 2 の絶縁膜上および前記コンタクトホールの内部に高融点金属材料を堆積した後に第 2 の絶縁膜上の高融点金属材料を除去することを特徴とする半導体装置の製造方法。

【請求項 1 0】 それぞれ電極間絶縁膜に強誘電体物質を用いた情報記憶用の強誘電体キャパシタおよび電荷転送用の M I S トランジスタを備えた複数のメモリセルと、それぞれ同一行の前記メモリセルの M I S トランジスタのゲートに共通に接続された複数本のワード線と、それぞれ同一行の前記メモリセルの強誘電体キャパシタに共通に接続された複数本のキャパシタプレート線と、それぞれ同一列の前記メモリセルの M I S トランジスタの一端側に共通に接続された複数本のビット線とを有する強誘電体メモリを製造する方法であって、

半導体基板の表層部の所定位置でビット線方向に対して略平行な方向にそれぞれ M I S トランジスタを構成する 2 個のドレイン・チャネル・ソース領域を中央部でドレイン領域を共有しながら直線状に形成し、この際、複数個のドレイン・チャネル・ソース領域を全体として市松状に規則的に配置させることでセルアレイ領域を画定する工程と、

前記セルアレイ領域のそれぞれ同一行の複数個のドレイン・チャネル・ソース領域における各 M I S トランジスタのチャネル領域上にゲート絶縁膜を介して積層されたゲート電極部を有する複数本のワード線を互いに略平行な方向に形成する工程と、

前記ワード線の上に第 1 の絶縁膜を形成する工程と、前記セルアレイ領域のそれぞれ同一列の複数個のドレイン・チャネル・ソース領域における共通のドレイン領域にコンタクトする複数本のビット線を前記第 1 の絶縁膜上で互いに略平行な方向、かつ、前記複数本のワード線に略直交する方向に形成する工程と、

前記ビット線および前記第 1 の絶縁膜上に第 2 の絶縁膜を形成する工程と、

前記ドレイン・チャネル・ソース領域におけるソース領域に下端部がコンタクトするキャパシタコンタクトプラグを前記第 2 の絶縁膜および第 1 の絶縁膜に埋め込み形成する工程と、

前記キャパシタコンタクトプラグ上および前記第 2 の絶縁膜上にキャップ用の第 3 の絶縁膜を形成する工程と、前記第 3 の絶縁膜上にそれぞれ同一行の複数個のメモリセルにおける強誘電体キャパシタで共有される下部電極となる複数本のキャパシタプレート線を前記ワード線に略平行な方向に形成するとともに、前記セルアレイ領域の単位セル毎に対応して前記下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する複数個の強誘電体キャパシタを形成する工程と、

前記強誘電体キャパシタの表面を覆う第 4 の絶縁膜を形成する工程と、

前記第 4 の絶縁膜の前記強誘電体キャパシタの上部電極上に対応する部分に電極配線接続用の第 1 のコンタクトホールを開口するとともに、前記第 4 の絶縁膜および第 3 の絶縁膜の前記キャパシタコンタクトプラグ上に対応する部分に電極配線接続用の第 2 のコンタクトホールを開口する工程と、

前記第 4 の絶縁膜上に電極配線材料を堆積し、前記単位セル毎に強誘電体キャパシタの上部電極とキャパシタコンタクトプラグの上端面との間を接続する電極配線をパターンニング形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 1 1】 請求項 1 0 記載の半導体装置の製造方法において、

前記キャパシタコンタクトプラグを埋め込み形成する工程は、前記第 2 の絶縁膜および第 1 の絶縁膜に選択的にコンタクトホールを開口する工程と、前記第 2 絶縁膜上および前記コンタクトホール内部に高融点金属材料を堆積する工程と、前記第 2 絶縁膜上の高融点金属材料を化学機械的研磨により除去する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 1 2】 それぞれ電極間絶縁膜に強誘電体物質を用いた情報記憶用の強誘電体キャパシタおよび電荷転送用の M I S トランジスタを備えた複数のメモリセルと、それぞれ同一行の前記メモリセルの M I S トランジスタのゲートに共通に接続された複数本のワード線と、それぞれ同一行の前記メモリセルの強誘電体キャパシタに共通に接続された複数本のキャパシタプレート線と、それぞれ同一列の前記メモリセルの M I S トランジスタの一端側に共通に接続された複数本のビット線とを有する強誘電体メモリを製造する方法であって、

半導体基板の表層部の所定位置でビット線方向に対して略平行な方向にそれぞれ M I S トランジスタを構成する 2 個のドレイン・チャネル・ソース領域を中央部でドレイン領域を共有しながら直線状に形成し、この際、複数個のドレイン・チャネル・ソース領域を全体として市松状に規則的に配置させることでセルアレイ領域を画定する工程と、

前記セルアレイ領域のそれぞれ同一行の複数個のドレイン・チャネル・ソース領域における各 M I S トランジスタのチャネル領域上にゲート絶縁膜を介して積層されたゲート電極部を有する複数本のワード線を互いに略平行な方向に形成する工程と、

前記ワード線の上に第 1 の絶縁膜を形成する工程と、

前記セルアレイ領域のそれぞれ同一列の複数個のドレイン・チャネル・ソース領域における共通のドレイン領域にコンタクトする複数本のビット線を前記第 1 の絶縁膜上で互いに略平行な方向、かつ、前記複数本のワード線に略直交する方向に形成すると同時に前記ドレイン・チ

チャネル・ソース領域におけるソース領域に下端部がコンタクトする第 1 のキャパシタコンタクトプラグを前記第 1 の絶縁膜に埋め込み形成する工程と、

前記ビット線を含む半導体基板上に第 2 の絶縁膜を形成する工程と、

前記第 1 のキャパシタコンタクトプラグの上端部に下端部がコンタクトする第 2 のキャパシタコンタクトプラグを前記第 2 の絶縁膜に埋め込み形成する工程と、

前記第 2 のキャパシタコンタクトプラグ上および前記第 2 の絶縁膜上にキャップ用の第 3 の絶縁膜を形成する工程と、

前記第 3 の絶縁膜上にそれぞれ同一行の複数個のメモリセルにおける強誘電体キャパシタで共有される下部電極となる複数本のキャパシタプレート線を前記ワード線に略平行な方向に形成するとともに、前記セルアレイ領域の単位セル毎に対応して前記下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する複数個の強誘電体キャパシタを形成する工程と、

前記強誘電体キャパシタの表面を覆う第 4 の絶縁膜を形成する工程と、

前記第 4 の絶縁膜の前記強誘電体キャパシタの上部電極上に対応する部分に電極配線接続用の第 1 のコンタクトホールを開口するとともに、前記第 4 の絶縁膜および第 3 の絶縁膜の前記第 2 のキャパシタコンタクトプラグ上に対応する部分に電極配線接続用の第 2 のコンタクトホールを開口する工程と、

前記第 4 の絶縁膜上に電極配線材料を堆積し、前記単位セル毎に強誘電体キャパシタの上部電極と第 2 のキャパシタコンタクトプラグの上端面との間を接続する電極配線をパターニング形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 1 3】 半導体基板の表層部に形成された不純物拡散領域からなるドレイン領域・ソース領域を有する M I S トランジスタと、

前記 M I S トランジスタを含む半導体基板上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜内に埋め込み形成され、前記ドレイン領域・ソース領域のうちの一方の領域に下端部がコンタクトしたキャパシタコンタクトプラグと、

前記第 1 の絶縁膜の上層側に形成され、下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパシタと、

前記キャパシタコンタクトプラグの上端と前記強誘電体キャパシタの上部電極との間を接続する電極配線とを具備することを特徴とする半導体装置。

【請求項 1 4】 半導体基板の表層部に形成された不純物拡散領域からなるドレイン領域・ソース領域を有する M I S トランジスタと、

前記 M I S トランジスタを含む半導体基板上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜内に埋め込み形成されたビット線コンタクトプラグを介して前記ドレイン領域・ソース領域のうちの一方の領域に接続され、前記第 1 の絶縁膜上に形成されたビット線と、

前記ビット線を含む半導体基板上に形成された第 2 の絶縁膜と、

前記第 2 の絶縁膜内および第 1 の絶縁膜内に埋め込み形成され、前記ドレイン領域・ソース領域のうちの他方の領域に下端部がコンタクトしたキャパシタコンタクトプラグと、

前記第 2 の絶縁膜の上層側に形成され、下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパシタと、

前記キャパシタコンタクトプラグの上端と前記強誘電体キャパシタの上部電極との間を接続する電極配線とを具備することを特徴とする半導体装置。

【請求項 1 5】 半導体基板の表層部に形成された不純物拡散領域からなるドレイン領域・ソース領域を有する M I S トランジスタと、

20 前記 M I S トランジスタを含む半導体基板上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜内に埋め込み形成されたビット線コンタクトプラグを介して前記ドレイン領域・ソース領域のうちの一方の領域に接続され、前記第 1 の絶縁膜上に形成されたビット線と、

前記第 1 の絶縁膜内に埋め込み形成され、前記ドレイン領域・ソース領域のうちの他方の領域に下端部がコンタクトした第 1 のキャパシタコンタクトプラグと、

30 前記ビット線を含む半導体基板上に形成された第 2 の絶縁膜と、

前記第 2 の絶縁膜内に埋め込み形成され、前記第 1 のキャパシタコンタクトプラグの上端に下端部がコンタクトした第 2 のキャパシタコンタクトプラグと、

前記第 2 の絶縁膜上に形成され、下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパシタと、

前記第 2 のキャパシタコンタクトプラグの上端と前記強誘電体キャパシタの上部電極との間を接続する電極配線とを具備することを特徴とする半導体装置。

40 【請求項 1 6】 請求項 1 3 乃至 1 5 のいずれか 1 項に記載の半導体装置において、

前記キャパシタコンタクトプラグの上方で、且つ、前記強誘電体キャパシタの下方に形成された第 3 の絶縁膜をさらに具備し、

前記電極配線は、前記第 3 の絶縁膜に開口されたコンタクトホールを介して前記キャパシタコンタクトプラグの上端と前記強誘電体キャパシタの上部電極との間を接続することを特徴とする半導体装置。

50 【請求項 1 7】 請求項 1 3 乃至 1 6 のいずれか 1 項に記載の半導体装置において、前記キャパシタコンタクト

プラグおよび前記電極配線はそれぞれの材料が異なることを特徴とする半導体装置。

【請求項 1 8】 請求項 1 3 乃至 1 7 のいずれか 1 項に記載の半導体装置において、前記キャパシタコンタクトプラグの材料は高融点金属であり、前記電極配線の材料はアルミニウム系材料、銅系材料およびポリシリコン系材料から選ばれた少なくとも 1 種であることを特徴とする半導体装置。

【請求項 1 9】 請求項 1 3 乃至 1 8 のいずれか 1 項に記載の半導体装置において、前記電極配線の下端面の面積が前記キャパシタコンタクトプラグの上端面の面積よりも大きく、前記電極配線の下端面は前記キャパシタコンタクトプラグの上端面上および前記第 1 の絶縁膜あるいは前記第 2 の絶縁膜上にコンタクトしていることを特徴とする半導体装置。

【請求項 2 0】 請求項 1 3 乃至 1 9 のいずれか 1 項に記載の半導体装置において、前記強誘電体キャパシタの上部電極は、前記強誘電体キャパシタの電極間絶縁膜上に堆積された上部電極埋め込み用絶縁膜に埋め込み形成されてなることを特徴とする半導体装置。

【請求項 2 1】 請求項 1 3 乃至 2 0 のいずれか 1 項に記載の半導体装置において、中央部でドレイン領域を共有する 2 個のドレイン・チャネル・ソース領域がそれぞれ前記 M I S トランジスタを構成しながら前記半導体基板の表層部で複数個市松状に規則的に配置され、これらのドレイン・チャネル・ソース領域の上方および最近接する 2 個のドレイン・チャネル・ソース領域間の上方にそれぞれ前記強誘電体キャパシタが配置されてセルアレイ領域が形成されていることを特徴とする半導体装置。

【請求項 2 2】 請求項 1 3 乃至 2 0 のいずれか 1 項に記載の半導体装置は、それぞれ電極間絶縁膜に強誘電体物質を用いた情報記憶用の強誘電体キャパシタおよび電荷転送用の M I S トランジスタを備えた複数のメモリセルと、それぞれ同一行の前記メモリセルの M I S トランジスタのゲートに共通に接続された複数本のワード線と、それぞれ同一行の前記メモリセルの強誘電体キャパシタに共通に接続された複数本のキャパシタプレート線と、それぞれ同一列の前記メモリセルの M I S トランジスタの一端側に共通に接続された複数本のビット線とを有する強誘電体メモリであることを特徴とする半導体装置。

【請求項 2 3】 請求項 1 3 乃至 2 2 のいずれか 1 項に記載の半導体装置において、前記キャパシタコンタクトプラグは、上部の開口径が底面の開口径よりも広い逆テーパ状の側面を有することを特徴とする半導体装置。

【請求項 2 4】 請求項 1 4 乃至 2 3 のいずれか 1 項に記載の半導体装置において、前記ビット線コンタクトプラグは、上部の開口径が底面の開口径よりも広い逆テーパ状の側面を有することを特徴とする半導体装置。

【請求項 2 5】 半導体基板の表層部に不純物拡散領域

からなるドレイン領域・ソース領域を有する M I S トランジスタを形成する工程と、

この後、前記半導体基板上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜に選択的にコンタクトホールを開口し、前記 M I S トランジスタの一端側領域に下端部がコンタクトするビット線コンタクトプラグおよび前記 M I S トランジスタの他端側領域に下端部がコンタクトするキャパシタコンタクトプラグを埋め込み形成する工程と、

この後、前記半導体基板上に下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパシタを形成する工程と、

前記強誘電体キャパシタを含む半導体基板上に第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜に選択的にコンタクトホールを開口し、前記強誘電体キャパシタの上部電極とキャパシタコンタクトプラグの上端面との間を接続するキャパシタ電極配線および前記ビット線コンタクトプラグの上端面に接続されるビット線コンタクトプラグ接続配線を前記第 2 の絶縁膜上に形成する工程と、

前記キャパシタ電極配線およびビット線コンタクトプラグ接続配線を含む半導体基板上に第 3 の絶縁膜を形成する工程と、

前記第 3 の絶縁膜の前記ビット線コンタクトプラグ接続配線に対応する部分にビアホールを開口した後、前記第 3 の絶縁膜上およびビアホール内部にビット線形成用の導電材料を堆積してパターニングし、前記第 3 の絶縁膜上にビット線を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 2 6】 それぞれ電極間絶縁膜に強誘電体物質を用いた情報記憶用の強誘電体キャパシタおよび電荷転送用の M I S トランジスタを備えた複数のメモリセルと、それぞれ同一行の前記メモリセルの M I S トランジスタのゲートに共通に接続された複数本のワード線と、それぞれ同一行の前記メモリセルの強誘電体キャパシタに共通に接続された複数本のキャパシタプレート線と、それぞれ同一列の前記メモリセルの M I S トランジスタの一端側に共通に接続された複数本のビット線とを有する強誘電体メモリを製造する方法であって、

半導体基板の表層部の所定位置でビット線方向に対して略平行な方向にそれぞれ M I S トランジスタを構成する 2 個のドレイン・チャネル・ソース領域を中央部でドレイン領域を共有しながら直線状に形成し、この際、複数個のドレイン・チャネル・ソース領域を全体として市松状に規則的に配置させることでセルアレイ領域を画定する工程と、

前記セルアレイ領域のそれぞれ同一行の複数個のドレイン・チャネル・ソース領域における各 M I S トランジスタのチャネル領域上にゲート絶縁膜を介して積層された

ゲート電極部を有する複数本のワード線を互いに略平行な方向に形成する工程と、

前記ワード線上に第 1 の絶縁膜を形成する工程と、

前記セルアレイ領域のドレイン・チャネル・ソース領域における共通のドレイン領域に下端部がコンタクトするビット線コンタクトプラグおよび前記ドレイン・チャネル・ソース領域におけるソース領域に下端部がコンタクトするキャパシタコンタクトプラグを前記第 1 の絶縁膜に埋め込み形成する工程と、

前記第 1 の絶縁膜上にそれぞれ同一行の複数個のメモリセルにおける強誘電体キャパシタで共有される下部電極となる複数本のキャパシタプレート線を前記ワード線に略平行な方向に形成するとともに、前記セルアレイ領域の単位セル毎に対応して前記下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する複数個の強誘電体キャパシタを形成する工程と、

前記強誘電体キャパシタ上に第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜の前記強誘電体キャパシタの上部電極上に対応する部分に電極配線接続用の第 1 のコンタクトホール、前記第 2 の絶縁膜の前記キャパシタコンタクトプラグ上に対応する部分に電極配線接続用の第 2 のコンタクトホールおよび前記ビット線コンタクトプラグ上に対応する部分にビット線接続用のコンタクトホールを開く工程と、

前記第 2 の絶縁膜上に電極配線材料を堆積し、前記単位セル毎に強誘電体キャパシタの上部電極とキャパシタコンタクトプラグの上端面との間を接続する電極配線をパターンニング形成するとともに、前記ビット線コンタクトプラグに接続されるビット線接続用のコンタクトパターンを形成する工程と、

この後、前記半導体基板上に第 3 の絶縁膜を形成する工程と、

前記ビット線接続用のコンタクトパターンにコンタクトし、それぞれ同一列の複数個のメモリセルにおける M I S トランジスタに共通接続される複数本のビット線を前記第 3 の絶縁膜上で互いに略平行な方向、且つ、前記複数本のワード線に略直交する方向に形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 2 7】 半導体基板の表層部に形成された不純物拡散領域からなるドレイン領域・ソース領域を有する M I S トランジスタと、

前記 M I S トランジスタを含む半導体基板上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜内に埋め込み形成され、前記ドレイン領域・ソース領域のうちの一方の領域に下端部がコンタクトしたビット線コンタクトプラグと、

前記第 1 の絶縁膜内に埋め込み形成され、前記ドレイン領域・ソース領域のうちの他方の領域に下端部がコンタクトしたキャパシタコンタクトプラグと、

前記第 1 の絶縁膜の上層側に形成され、下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパシタと、

前記強誘電体キャパシタを含む半導体基板上に形成された第 2 の絶縁膜と、

前記第 2 の絶縁膜上に形成され、前記第 2 の絶縁膜に選択的に開口されたコンタクトホールを介して前記強誘電体キャパシタの上部電極とキャパシタコンタクトプラグの上端面との間を接続するキャパシタ電極配線と、

前記第 2 の絶縁膜上に形成され、前記第 2 の絶縁膜に選択的に開口されたコンタクトホールを介して前記ビット線コンタクトプラグの上端面に接続されたビット線コンタクトプラグ接続配線と、

前記キャパシタ電極配線およびビット線コンタクトプラグ接続配線を含む半導体基板上に形成された第 3 の絶縁膜と、

前記第 3 の絶縁膜に選択的に開口されたビアホールに埋め込まれて前記ビット線コンタクトプラグ接続配線に接続されるとともに前記第 3 の絶縁膜上に形成されたビット線とを具備することを特徴とする半導体装置。

【請求項 2 8】 請求項 2 7 記載の半導体装置において、

前記ビット線コンタクトプラグおよびキャパシタコンタクトプラグは、それぞれ上部の開口径が底面の開口径よりも広い逆テーパ状の側面を有することを特徴とする半導体装置。

【請求項 2 9】 ペロブスカイトないしは層状ペロブスカイト構造の物質からなる強誘電体膜を用いた情報記憶用のキャパシタとスイッチ用トランジスタとを有するメモリセルおよび少なくとも二層以上の多層配線構造を有する半導体装置の製造に際して、前記キャパシタの形成後に、前記多層配線構造における層間絶縁膜に設けた開口部を埋めるために A l、A l C u、A l C u S i、C u の少なくとも一つの材料をリフローする工程を用いることを特徴とする半導体装置の製造方法。

【請求項 3 0】 半導体基板上に形成されたスイッチ用トランジスタと、

前記スイッチ用トランジスタが形成された半導体基板上を覆い、表面が平坦化された第 1 の絶縁層と、

前記第 1 の絶縁層内に埋め込み形成され、前記スイッチ用トランジスタに接続された第 1 のビット線コンタクトプラグと、

前記第 1 の絶縁層の表面上に順に形成された強誘電体キャパシタを構成する下部電極、強誘電体膜および上部電極と、

前記下部電極、強誘電体膜および上部電極を覆い、表面が平坦化された第 2 の絶縁層と、

前記第 2 の絶縁層に選択的に形成されたビアホール内を埋めるように A l、A l C u、A l C u S i、C u の少なくとも一つの材料がリフローされてなり、前記ビアホ

10

20

30

40

50

ール部を介して前記第 1 のビット線コンタクトプラグに接続されたビット線または第 2 のビット線コンタクトプラグと、

を具備することを特徴とする半導体装置。

【請求項 3 1】 請求項 3 0 記載の半導体装置において、

前記上部電極上にこれに接続された上部電極取り出し配線をさらに具備し、

前記上部電極取り出し配線の上面側に選択的に W メタル層、TiN メタル層、Ti メタル層のいずれかが形成されたことを特徴とする半導体装置。

【請求項 3 2】 請求項 3 1 記載の半導体装置において、

前記上部電極取り出し配線の上に選択的に形成された W メタル層、TiN 層、Ti 層は、スパッタ法によって形成されたことを特徴とする半導体装置。

【請求項 3 3】 請求項 3 0 乃至 3 2 のいずれか 1 項に記載の半導体装置において、

前記ビット線は、Al、AlCu、AlCuSi、Cu の少なくとも一つの材料を用いることを特徴とした半導体装置。

【請求項 3 4】 請求項 3 0 乃至 3 3 のいずれか 1 項に記載の半導体装置において、前記上部電極取り出し配線が、Al、AlCuSi、AlCu、W メタル、TiN メタル、Ti メタルの少なくとも一つの材料を有することを特徴とする半導体装置。

【請求項 3 5】 請求項 3 0 乃至 3 4 のいずれか 1 項に記載の半導体装置において、前記第 1 の絶縁層上に前記上部電極取り出し配線と同一配線層で形成された第 1 層配線をさらに具備することを特徴とする半導体装置。

【請求項 3 6】 請求項 3 5 記載の半導体装置において、前記第 1 層配線は、少なくとも前記第 1 のビット線コンタクトプラグ上に対応する部分に形成されたことを特徴とする半導体装置。

【請求項 3 7】 請求項 3 0 記載の半導体装置において、

前記第 1 の絶縁層の上方で、かつ前記第 2 の絶縁層の下方に形成され、表面が平坦化された第 3 の絶縁層と、前記第 3 の絶縁層内に埋め込み形成され、前記第 1 のビット線コンタクトプラグの上端部に下端部がコンタクトする第 3 のビット線コンタクトプラグとをさらに具備し、前記第 3 のビット線コンタクトプラグは、前記第 3 の絶縁層に選択的に形成されたコンタクトホール内を埋めるように、Al、AlCu、AlCuSi、Cu の少なくとも 1 つの材料がリフローされてなることを特徴とする半導体装置。

【請求項 3 8】 請求項 3 7 記載の半導体装置において、

前記第 2 の絶縁層と前記第 3 の絶縁層の間に、前記前記第 2 の絶縁層に選択的に形成されたコンタクトホールを

介して前記上部電極に接続された上部電極取り出し配線と、前記上部電極取り出し配線と同一配線層で形成された第 1 層配線をさらに具備することを特徴とする半導体装置。

【請求項 3 9】 一对の電極間に少なくとも 2 種以上の金属元素を含有する複合酸化物膜からなる誘電体膜を用いたキャパシタを形成し、前記キャパシタ上にさらに絶縁性酸化膜と配線層を積層してなる半導体装置を製造する際、

前記キャパシタの形成工程は、

第 1 の電極を形成する第 1 電極形成工程と、

前記第 1 の電極上に前記誘電体膜を形成する誘電体膜形成工程と、

前記誘電体膜上に第 2 の電極を形成する第 2 電極形成工程と、

前記第 1 電極形成工程と誘電体膜形成工程との間、誘電体膜形成工程と第 2 電極形成工程との間、第 2 電極形成工程の後のいずれかで  $0.5 \times 10^{13}$ 、 $3.22 \times 10^{13}$  Pa 以上  $5.00 \times 10^{13}$ 、 $3.22 \times 10^{13}$  Pa 以下の減圧下で昇温速度  $10^\circ\text{C}/\text{秒}$  以上の急熱処理を行なう工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 4 0】 請求項 3 9 記載の半導体装置の製造方法において、

前記減圧下の急熱処理を、 $0.5 \times 10^{13}$ 、 $3.22 \times 10^{13}$  Pa 以上  $5.00 \times 10^{13}$ 、 $3.22 \times 10^{13}$  Pa 以下の酸素分圧下あるいはオゾン分圧下またはオゾン分圧比 1 % 以上の雰囲気中で行うことを特徴とする半導体装置の製造方法。

【請求項 4 1】 請求項 3 9 または 4 0 記載の半導体装置の製造方法において、前記誘電体膜が強誘電体膜であって、前記キャパシタは、FRAM のメモリセルの電荷蓄積用キャパシタであることを特徴とする半導体装置の製造方法。

【請求項 4 2】 請求項 3 9 または 4 0 記載の半導体装置の製造方法において、前記誘電体膜が高誘電率誘電体膜であって、前記キャパシタは、DRAM のメモリセルの電荷蓄積用キャパシタであることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、情報記憶用キャパシタの絶縁膜に複合酸化物膜を用いたメモリセルのアレイを有する半導体装置の製造方法およびそれにより製造された半導体装置に係り、特にキャパシタ絶縁膜に強誘電体を用いた強誘電体メモリセルのアレイを有する強誘電体メモリ (FRAM) におけるセルトランジスタ・セルキャパシタ間接続配線部、ビット線コンタクト部およびメモリセルの形成方法とその構造、ならびにキャパシタ絶縁膜に高誘電率誘電体を用いたダイナミック型メモリセルのアレイを有するダイナミック型ランダムアクセスメモリ (DRAM) におけるメモリセルの形成方法と



その構造に関するもので、F R A MあるいはD R A Mを含む半導体集積回路に適用されるものである。

#### 【 0 0 0 2 】

【従来の技術】近年、情報記憶用キャパシタの電極間絶縁膜としてペロブスカイト構造あるいは層状ペロブスカイト構造の物質からなる強誘電体薄膜を用いた不揮発性強誘電体メモリセル（F R A Mセル）およびそのアレイを有するF R A Mが注目を集めている。

【 0 0 0 3 】強誘電体膜は、電界が印加された時に一旦発生した電気分極が上記電界が印加されなくなっても残留し、上記電界とは反対方向の向きにある程度以上の強さの電界が印加された時に分極の向きが反転する特性を有している。

【 0 0 0 4 】この誘電体の分極の向きが反転する分極特性に着目し、メモリセルの情報記憶用のキャパシタの絶縁膜に強誘電体を用いてF R A Mセルを実現する技術が開発されている。

【 0 0 0 5 】このF R A Mセルは、D R A Mセルのキャパシタを強誘電体キャパシタに置き換えた構成になっており、スイッチ用のM O Sトランジスタを介して強誘電体キャパシタから分極反転あるいは非反転の際の電荷を取り出す方式（データ破壊読み出し）を用いており、動作電源をオフ状態にしてもメモリセルに書かれている記憶データは失われない特徴がある。

【 0 0 0 6 】F R A Mは、大容量メモリの代表であるD R A Mと比較すると、不揮発性であるためにデータ保持にリフレッシュ動作が不要であって待機時の消費電力が不要であるという特徴を持つ。また、他の不揮発性メモリであるフラッシュメモリと比較すると、データ書換え回数が多く、かつデータ書き換え速度が著しく速いという特徴を持つ。また、メモリーカード等に使用される電池バックアップが必要なS R A Mと比較しても、消費電力が小さく、セル面積を大幅に小さくできるという特徴を持つ。

【 0 0 0 7 】上記のような特徴を持つF R A Mは、既存のD R A M、フラッシュメモリ、S R A Mとの置き換え、ロジック混載デバイスへの適用等、その期待は大変大きい。また、F R A Mは、バッテリーレスで高速動作が可能であるので、非接触カード（R F - I D : Radio Frequency-Identification Data）への展開が始まりつつある。なお、F R A Mのメモリセルの構造は、D R A Mと同じように情報としての電荷容量を蓄積する蓄積容量において常誘電体膜でなく強誘電体膜を用いる構造と、M O S F E Tのゲート絶縁膜においてシリコン酸化膜を強誘電体膜に置き換える構造との2種類に大別される。後者はS i界面に直接形成できる適当な強誘電体膜が存在しないために実現性に乏しく、現在までは提案が行なわれているのみであることから、通常はF R A Mというと前者の構造を指す。

【 0 0 0 8 】また、F R A Mセルには、図 2 2 に示すよ

うに、1つのトランジスタと1つの強誘電体キャパシタにより構成される1トランジスタ・1キャパシタ（1 T / 1 Cと略す）型のものと、図 2 4 に示すように、2つのトランジスタと2つの強誘電体キャパシタにより構成される2トランジスタ・2キャパシタ（2 T / 2 Cと略す）型のものがある。

【 0 0 0 9 】1 T / 1 C構造は、D R A Mと同等の高集積化が可能という長所を持つが、各メモリセルの強誘電体特性のばらつきおよび劣化のばらつきを抑えなければならず、歩留りおよび素子信頼性を上げることが難しいという短所を持つ。

【 0 0 1 0 】2 T / 2 C構造は、1 T / 1 C構造の2倍の面積を必要とする欠点があるが、特性マージンを大きくとれるので、歩留りおよび素子信頼性を向上させることが容易である。

【 0 0 1 1 】いずれの構造においても、下地絶縁膜上に電極／強誘電体／電極のスタック構造を形成し、その上層の酸化膜に開けたコンタクトホールを介してA lまたはC u配線を施し、パッシベーション膜で保護する。

【 0 0 1 2 】ところで、前記したようにF R A Mセルは高速・低消費電力動作が可能であり、高集積化の実現が期待されており、メモリセル面積の縮小や強誘電体の劣化の少ない製造プロセスの検討が必要となっている。また、既存のF R A Mデバイスを他のデバイスと混載する場合や高集積化に不可欠となる多層配線技術は未だ確立していない状況である。

【 0 0 1 3 】F R A Mデバイスを搭載した半導体集積回路の多層配線化が難しい原因は、強誘電体材料が還元雰囲気（特に水素雰囲気）に大変弱いことにある。既存のL S I工程では、水素が混入するプロセスが殆んどであり、F R A Mの製造上大きな問題となる。

【 0 0 1 4 】水素が混入する工程の一例として、多層配線構造におけるビアホールを埋める工程が挙げられる。特に、アスペクト比が大きなビアホールを埋める方法としては、C V D法によるW埋め込みが主に用いられるが、このWを埋め込む工程では水素基が多く発生するので、強誘電体に大きなダメージを与える。

【 0 0 1 5 】以下、上記の問題について具体的に詳細に説明する。

【 0 0 1 6 】従来、強誘電体メモリセルの構造として、（1）ビット線の下層に強誘電体キャパシタを配置したビット線後作り構造、（2）強誘電体キャパシタの下層にビット線を配置したビット線先作り構造がある。

【 0 0 1 7 】前記ビット線後作り構造の強誘電体メモリセルを製造する場合には、バストラジスタ（スイッチ用のM O Sトランジスタ）の上層に強誘電体キャパシタを配置し、その下部電極とバストラジスタとをポリシリコンプラグで接続した後、強誘電体キャパシタ上にビット線を形成する。

【 0 0 1 8 】前記強誘電体キャパシタを形成する際、ポ

リシリコンプラグ上に通常はPt (プラチナ) を用いて強誘電体キャパシタの下部電極を形成した後に強誘電体薄膜を成膜するが、上記強誘電体薄膜を成膜して結晶化を行う際、高温の酸素アニールが必要となる。

【0019】ここで、強誘電体材料としてPZT (チタン酸ジルコン酸鉛) を使用する場合、酸化が不十分な場合にPZT中のPbが拡散することに起因する欠陥の発生によってキャパシタ特性の劣化が起きる。これを避けるために十分な酸化を行うために必要な酸素アニール温度は通常は600℃～700℃である。

【0020】また、強誘電体材料としてSBT (ストロンチウム・ビスマス・タンタレート) 等のビスマス層状化合物を使用する場合には、必要な酸素アニール温度は通常は～800℃の高温である。

【0021】しかし、上記したような高温の酸素アニール時に、前記Ptを用いた下部電極がポリシリコンプラグと反応してシリサイド化する、あるいは、ポリシリコンプラグが酸化するといった問題が生じる。

【0022】一方、前記ビット線先作り構造の強誘電体メモリセルを製造する場合には、バストランジスタの上層にビット線を形成し、ビット線の上層に強誘電体キャパシタを形成する。

【0023】この際、強誘電体キャパシタの下部電極 (例えばPt) とバストランジスタとをポリシリコンプラグで接続する場合には前記したビット線後作り構造と同様の問題が生じる。

【0024】これに対して、強誘電体キャパシタの上部電極とバストランジスタを埋め込み配線からなる局所電極配線で直接に接続する上部電極接続構造が提案されている。この構造は、強誘電体キャパシタのパターンレイアウトの自由度が比較的高いという特長があり、強誘電体キャパシタをバストランジスタ領域上および素子分離領域上の両方に配置することにより細密構造を実現することが可能である。

【0025】上記ビット線先作り・上部電極接続構造を実現する際、強誘電体キャパシタの下部電極 (プレート電極) から上部電極までを形成した後、キャパシタ保護膜を堆積する。この後、上部電極とバストランジスタとを直接に接続するための局所電極配線を形成するために、キャパシタ保護膜に上部電極とのコンタクト部およびバストランジスタの活性層とのコンタクト部を開口し、配線膜を堆積した後にパターンニングする。

【0026】上記ビット線先作り・上部電極接続構造を実現する場合には、前記したように強誘電体キャパシタの下部電極 (例えばPt) とバストランジスタとをポリシリコンプラグで接続する場合に下部電極がポリシリコンプラグと反応してシリサイド化するという問題は生じない。

【0027】しかし、微細化に伴うアスペクト比やステップカバレッジの点で、前記したように上部電極とバ

ストランジスタとを直接に接続するための局所電極配線を形成することは困難になる。

【0028】また、強誘電体材料としてPZTやBSTを用いた場合、強誘電体薄膜成膜後における電極配線形成の際に行う諸々のCVD (化学気相成長) 工程での還元性雰囲気の問題となり、強誘電体材料が還元反応によって特性劣化を生じるという問題がある。

【0029】つまり、上部電極とバストランジスタとを接続するための局所電極配線を形成する際に、DRAMで用いられているようなメタルCVD装置を用いた強い還元性雰囲気 (水素系のガス) 中でのW (タングステン) 成膜によるWプラグの埋め込みを行おうとすると、強誘電体キャパシタの特性 (残留分極量等の電気的特性) の劣化を引き起こすので、使用できない。

【0030】これに対して、上部電極とバストランジスタとを接続するための局所電極配線を形成する際に、MO (Metal Organic) CVDを用いてアルミ配線膜の成膜を行うとしても、還元性雰囲気が皆無とはいえない (ソース物質を含め水素基成分を完全には除去できない) ので、やはり強誘電体キャパシタの特性劣化を引き起こす。

【0031】さらに、前記強誘電体材料としてPZTやBSTを用いた場合、強誘電体キャパシタの電極材料としてPt、Ir、Ir酸化物 (IrO<sub>2</sub>)、Ru、Ru酸化物 (RuO<sub>2</sub>)、LSCO、SROなどの貴金属あるいは導電性酸化物が用いられる。

【0032】しかし、これらの材料を、RIE (反応性イオンエッチング)、イオンミリング、ECR等によって0.5μm程度のサブミクロンレベルで微細加工することはかなり難しく、特にPtは非常に難しく、強誘電体キャパシタの微細化が容易ではない。然るに、高集積の強誘電体メモリの設計に際して、強誘電体メモリセルの微細化は不可欠であり、メモリセルの微細化のためには強誘電体キャパシタの上部電極の微細化が重要課題である。

【0033】一方、メモリの集積度は年々向上しているが、寸法は小さくなくても電荷を蓄積する誘電体キャパシタの電気容量は約30fF以上に保たなければならない。そのためには、キャパシタの有効面積を大きくするか、誘電体膜の厚さを薄くするか、誘電体材料の誘電率を大きくするかしなければならない。これまでのDRAM技術では、主に前二者の改良により、キャパシタの立体化と薄膜化が検討されてきた。しかし、従来からのSiO<sub>2</sub>系の誘電体膜では、その立体化と薄膜化が限界に達しつつあり、比誘電率の大きな誘電体の薄膜を堆積させる技術が必要になってきた。

【0034】ところで、前記したようなFRAMに使われようとしている電極/強誘電体/電極のスタック構造あるいはDRAMに使われようとしている電極/高誘電率誘電体/電極のスタック構造のキャパシタを製造する

10

20

30

40

50

際、電極材料としては、前記したように Pt、Ir、Ru、 $\text{IrO}_2$ 、 $\text{RuO}_2$ 、LSCO、SROなどの貴金属あるいは導電性酸化物が用いられる。

【0035】FRAMセルキャパシタの強誘電体としては、前記したようにPZT ( $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ )、SBT ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ )、BIT ( $\text{Bi}, \text{Ti}, \text{O}_3$ )等のペロブスカイト構造を含む酸化物あるいはそれらの一部を置換元素に置換した酸化物が用いられる。DRAMセルキャパシタの高誘電率誘電体としてはBST ( $(\text{Ba}, \text{Sr})\text{TiO}_3$ )等が用いられる。

【0036】これらの強誘電体あるいは高誘電率誘電体の成膜方法としては、スパッタ、レーザアブレーション、CVD (Chemical Vapor Deposition)、MOD (Metallo-Organic Decomposition) またはゾルゲル (Sol-gel) 法などのスピコート、さらには、霧状のMOD原料をキャリアガスによってウエハ上へ導き堆積させるLSMCD (Liquid Source Mist Chemical Deposition) 法などが知られている。

【0037】スパッタ法は、膜形成技術として量産性に優れ、また、誘電体を挟む2つの電極 (金属あるいは導電性酸化物) が同じスパッタ技術で形成されることからスループットの点で有利な技術である。

【0038】しかし、スパッタやレーザアブレーションは、 $\text{N}_2$ 、Ar、 $\text{Ar}/\text{O}_2$ 等の雰囲気ガス中で成膜を行なう技術であるので、ガス成分が膜中に取り込まれて形成されることは避けられず、複合酸化物膜 (少なくとも2種以上の金属元素を含有する酸化物膜) 中に残存ガスのもたらす空隙が生じ、高密度の酸化物膜が形成できないという問題がある。

【0039】実際に、デポジション直後の膜からはAr等のスパッタガスが検出される。これは、ターゲット近傍にあるガス分子が、プラズマの高エネルギーによって導かれて膜中に入射するものであって、拡散のような機構ではないので、低圧スパッタほど高いエネルギーが保存されて膜中に打ち込まれやすい。堆積直後の膜はアモルファスや低密度の結晶膜であるので、この残存ガスは分散していて目立たないが、膜に結晶化の熱処理が施されると、残存ガスは結晶の粒界や界面に取り残されてはっきりとした空隙になる。

【0040】また、この熱処理が短時間であると、粒界や界面のみならず、粒内でも大きな空隙が生じる。CVDあるいはLSMCDによる成膜においても、原料をチャンバーへ導入するためのキャリアガスを用いるため、膜中にキャリアガスの取り込みが起こり、スパッタの場合と同様、結果的に複合酸化物膜中に残存ガスのもたらす空隙が生じる。

【0041】このような空隙は、成膜に引き続いてアニール処理により膜の結晶化や高密度化を行なう際にその大きさが決まるが、アニールが昇温速度の速い急熱処理

である場合に特に顕著である。即ち、複合酸化物膜の結晶化アニールでは、拡散や蒸発を最低限に抑えるために急熱処理が必須であるが、上記の問題点のために高密度の膜が形成できないという問題がある。

【0042】然るに、膜密度が低い強誘電体膜では、分極量が低下して動作マージンがとれないばかりか、低電圧側で駆動できず、また、薄膜化する場合に短絡し易くなる。さらに、後工程での雰囲気中で特性変化が大きくなる問題点も生じる。同様の理由で、電極膜にも空隙が生じて低密度化すると、膜抵抗が高くなり、動作速度が遅くなるという問題点も生じる。

【0043】

【発明が解決しようとする課題】上記したように従来の強誘電体メモリは、強誘電体キャパシタの特性劣化を防止し、かつ、プロセスをインテグレーションすることが困難であった。

【0044】本発明は上記の問題点を解決すべくなされたもので、強誘電体メモリセルを製造する際に、強誘電体キャパシタの特性劣化を防止し、かつ、プロセスインテグレーションを可能とする半導体装置の製造方法およびそれにより製造された半導体装置を提供することを目的とする。

【0045】また、本発明の他の目的は、少なくとも2層以上の多層配線構造を有する強誘電体メモリを製造する際に、セルに接続されるビット線を多層配線で形成することが可能になり、高集積化および他のデバイスとの混載が容易になる半導体装置の製造方法およびそれにより製造された半導体装置を提供する。

【0046】さらに、本発明の他の目的は、少なくとも2層以上の多層配線構造を有する強誘電体メモリを製造する際に、多層配線形成に必要なビアの埋め込みを強誘電体キャパシタにダメージを与えないで行うことを可能とする半導体装置の製造方法およびそれにより製造された半導体装置を提供する。

【0047】また、本発明の別の目的は、情報記憶用キャパシタの絶縁膜に強誘電体を用いたFRAMセルあるいは高誘電率誘電体を用いたDRAMセルを製造する際に、緻密で信頼性が高い強誘電体膜や高誘電率誘電体膜を形成し得る半導体装置の製造方法を提供する。

【0048】

【課題を解決するための手段】第1の発明に係る半導体装置の製造方法は、半導体基板の表層部に不純物拡散領域からなるドレイン領域・ソース領域を有するMISトランジスタを形成する工程と、この後、前記半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜に選択的にコンタクトホールを開口し、前記MISトランジスタの一端側領域に下端部がコンタクトするキャパシタコンタクトプラグを埋め込み形成する工程と、この後、前記半導体基板上に下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパ

シタを形成する工程と、前記強誘電体キャパシタの上部電極とキャパシタコンタクトプラグの上端面との間を接続する電極配線を形成する工程とを具備することを特徴とする。

【0049】第2の発明に係る半導体装置の製造方法は、半導体基板の表層部に不純物拡散領域からなるドレイン領域・ソース領域を有するMISトランジスタを形成する工程と、この後、前記半導体基板上に第1の絶縁膜を形成する工程と、前記MISトランジスタの一端側領域に下端部がコンタクトするビット線を前記第1の絶縁膜上に形成する工程と、前記ビット線上および前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜および第1の絶縁膜に選択的にコンタクトホールを開口し、前記MISトランジスタの他端側領域に下端部がコンタクトするキャパシタコンタクトプラグを埋め込み形成する工程と、この後、前記半導体基板上に下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパシタを形成する工程と、前記強誘電体キャパシタの上部電極とキャパシタコンタクトプラグの上端面との間を接続する電極配線を形成する工程とを具備することを特徴とする。

【0050】第3の発明に係る半導体装置の製造方法は、半導体基板の表層部に不純物拡散領域からなるドレイン領域・ソース領域を有するMISトランジスタを形成する工程と、この後、前記半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜に選択的にコンタクトホールを開口し、前記MISトランジスタの一端側領域に下端部がコンタクトするビット線コンタクトプラグおよび前記MISトランジスタの他端側領域に下端部がコンタクトするキャパシタコンタクトプラグを埋め込み形成する工程と、この後、前記半導体基板上に下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパシタを形成する工程と、前記強誘電体キャパシタを含む半導体基板上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜に選択的にコンタクトホールを開口し、前記強誘電体キャパシタの上部電極とキャパシタコンタクトプラグの上端面との間を接続するキャパシタ電極配線および前記ビット線コンタクトプラグの上端面に接続されるビット線コンタクトプラグ接続配線を前記第2の絶縁膜上に形成する工程と、前記キャパシタ電極配線およびビット線コンタクトプラグ接続配線を含む半導体基板上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜の前記ビット線コンタクトプラグ接続配線に対応する部分にビアホールを開口した後、前記第3の絶縁膜上およびビアホール内部にビット線形成用の導電材料を堆積してパターニングし、前記第3の絶縁膜上にビット線を形成する工程とを具備することを特徴とする。

【0051】第4の発明に係る半導体装置は、半導体基板の表層部に形成された不純物拡散領域からなるドレイ

ン領域・ソース領域を有するMISトランジスタと、前記MISトランジスタを含む半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜内に埋め込み形成され、前記ドレイン領域・ソース領域のうちの一方の領域に下端部がコンタクトしたキャパシタコンタクトプラグと、前記第1の絶縁膜の上層側に形成され、下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパシタと、前記キャパシタコンタクトプラグの上端と前記強誘電体キャパシタの上部電極との間を接続する電極配線とを具備することを特徴とする。

【0052】第5の発明に係る半導体装置は、半導体基板の表層部に形成された不純物拡散領域からなるドレイン領域・ソース領域を有するMISトランジスタと、前記MISトランジスタを含む半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜内に埋め込み形成されたビット線コンタクトプラグを介して前記ドレイン領域・ソース領域のうちの一方の領域に接続され、前記第1の絶縁膜上に形成されたビット線と、前記ビット線を含む半導体基板上に形成された第2の絶縁膜と、前記第2の絶縁膜内および第1の絶縁膜内に埋め込み形成され、前記ドレイン領域・ソース領域のうちの他方の領域に下端部がコンタクトしたキャパシタコンタクトプラグと、前記第2の絶縁膜の上層側に形成され、下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパシタと、前記キャパシタコンタクトプラグの上端と前記強誘電体キャパシタの上部電極との間を接続するキャパシタ配線とを具備することを特徴とする。

【0053】第6の発明に係る半導体装置は、半導体基板の表層部に形成された不純物拡散領域からなるドレイン領域・ソース領域を有するMISトランジスタと、前記MISトランジスタを含む半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜内に埋め込み形成され、前記ドレイン領域・ソース領域のうちの一方の領域に下端部がコンタクトしたビット線コンタクトプラグと、前記第1の絶縁膜内に埋め込み形成され、前記ドレイン領域・ソース領域のうちの他方の領域に下端部がコンタクトしたキャパシタコンタクトプラグと、前記第1の絶縁膜の上層側に形成され、下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパシタと、前記強誘電体キャパシタを含む半導体基板上に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成され、前記第2の絶縁膜に選択的に開口されたコンタクトホールを介して前記強誘電体キャパシタの上部電極とキャパシタコンタクトプラグの上端面との間を接続するキャパシタ電極配線と、前記第2の絶縁膜上に形成され、前記第2の絶縁膜に選択的に開口されたコンタクトホールを介して前記ビット線コンタクトプラグの上端面に接続されたビット線コンタクトプラグ接続配線と、前記キャパシタ電極配線およびビット線コンタクト

プラグ接続配線を含む半導体基板上に形成された第3の絶縁膜と、前記第3の絶縁膜に選択的に開口されたビアホールに埋め込まれて前記ビット線コンタクトプラグ接続配線に接続されるとともに前記第3の絶縁膜上に形成されたビット線とを具備することを特徴とする。

【0054】第7の発明に係る半導体装置の製造方法は、ペロブスカイトないしは層状ペロブスカイト構造の物質からなる強誘電体膜を用いた情報記憶用のキャパシタとスイッチ用トランジスタとを有するメモリセルおよび少なくとも二層以上の多層配線構造を有する半導体装置の製造に際して、前記キャパシタの形成後に、前記多層配線構造における層間絶縁膜に設けた開口部を埋めるためにAl、AlCu、AlCuSi、Cuの少なくとも一つの材料をリフローする工程を用いることを特徴とする。

【0055】第8の発明に係る半導体装置は、半導体基板上に形成されたスイッチ用トランジスタと、前記スイッチ用トランジスタが形成された半導体基板上を覆い、表面が平坦化された第1の絶縁層と、前記第1の絶縁層内に埋め込み形成され、前記スイッチ用トランジスタに接続された第1のビット線コンタクトプラグと、前記第1の絶縁層の表面上に順に形成された強誘電体キャパシタを構成する下部電極、強誘電体膜および上部電極と、前記下部電極、強誘電体膜および上部電極を覆い、表面が平坦化された第2の絶縁層と、前記第2の絶縁層に選択的に形成されたビアホール内を埋めるようにAl、AlCu、AlCuSi、Cuの少なくとも一つの材料がリフローされてなり、前記ビアホール部を介して前記第1のビット線コンタクトプラグに接続されたビット線とまたは第2のビット線コンタクトプラグを具備することを特徴とする。

【0056】第9の発明に係る半導体装置の製造方法は、一対の電極間に少なくとも2種以上の金属元素を含む複合酸化物膜からなる誘電体膜を用いたキャパシタを形成し、前記キャパシタ上にさらに絶縁性酸化膜と配線層を積層してなる半導体装置を製造する際、前記キャパシタの形成工程は、第1の電極を形成する第1電極形成工程と、前記第1の電極上に前記誘電体膜を形成する誘電体膜形成工程と、前記誘電体膜上に第2の電極を形成する第2電極形成工程と、前記第1電極形成工程と誘電体膜形成工程との間、誘電体膜形成工程と第2電極形成工程との間、第2電極形成工程の後のいずれかで $0.5 \times 10^{-3}$  Pa以上 $500 \times 10^{-3}$  Pa以下の減圧下で昇温速度 $10^\circ\text{C}/\text{秒}$ 以上の急熱処理を行なう工程とを具備することを特徴とする。

【0057】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を示す。

【0058】まず、ここで、本発明を適用しようとする半導体装置の一例に係るFRAMについて簡単に説明し

ておく。

【0059】図22は、1トランジスタ・1キャパシタ型の強誘電体メモリセルの等価回路を示している。図22において、Cは強誘電体キャパシタ、Qは電荷転送用のMOSトランジスタ、WLは上記MOSトランジスタのゲートに接続されているワード線、BLは上記MOSトランジスタの一端に接続されているビット線、PLは上記キャパシタの一端（プレート）に接続されているプレート線、VPLはプレート線電圧である。

【0060】図23は、例えばビット線折り返し構成の強誘電体メモリセルアレイを有する強誘電体メモリの一部の等価回路を示している。

【0061】図23において、MCはそれぞれ電極間絶縁膜に強誘電体を用いた情報記憶用の強誘電体キャパシタCと電荷転送用のMOSトランジスタ（パストランジスタ）Qとが直列に接続されてなる単位セルであり、この単位セルMCは行列状に配列されてメモリセルアレイ90を構成している。

【0062】 $WL_i$  ( $i=1, 2, 3, \dots$ ) は、セルアレイ90における同一行の単位セルのトランジスタQのゲートに共通に接続された複数本のワード線である。

【0063】 $PL_i$  ( $i=1, 2, 3, \dots$ ) は、セルアレイ90における同一行の単位セルのキャパシタCのプレートに共通に接続された複数本のプレート線である。

【0064】 $BL_i$  ( $i=1, 2, 3, 4, \dots$ ) は、セルアレイ90における同一列の単位セルのトランジスタの一端に共通に接続されたビット線である。

【0065】ワード線選択回路81は、アドレス信号に基づいて前記複数本のワード線 $WL_i$ のうちの一部を選択してワード線電圧を供給するものである。

【0066】キャパシタプレート線選択回路82は、前記アドレス信号に基づいて前記複数本のプレート線 $PL_i$ のうちの一部を選択し、このプレート線 $PL_i$ の電圧を制御するものである。

【0067】一方、図22のメモリセルを2個用いた2トランジスタ・2キャパシタ型の強誘電体メモリセルは、図24あるいは図25に示すように、第1のトランジスタQ1および第2のトランジスタQ2と、前記第1のトランジスタQ1および第2のトランジスタQ2にそれぞれ対応して直列に接続された第1のキャパシタC1および第2のキャパシタC2とからなる。

【0068】そして、前記第1のトランジスタQ1および第2のトランジスタQ2の各一端（ドレイン）に対応して第1のビット線BL1および第2のビット線/BL1が接続されており、各ゲートに共通にワード線WLが接続されており、前記第1のキャパシタC1および第2のキャパシタC2の各プレートに共通にプレート線PLが接続されている。

【0069】前記ワード線WLおよびプレート線PLは平行に設けられており、ワード線用のロウデコーダ（図

示せず)により選択されたワード線WLにワード線信号が供給され、プレート線用のロウデコーダ(図示せず)により選択されたプレート線PLにプレート線電圧VPLが供給される。

【0070】また、上記2本のビット線BL1、/BL1には、ビット線電位センス増幅用のセンスアンプ(図示せず)、書き込み回路(図示せず)およびプリチャージ回路(図示せず)が接続されている。

【0071】次に、前記2トランジスタ・2キャパシタ構成の強誘電体メモリセルのデータ書き込み動作の原理およびデータ読み出し動作の原理について、図24乃至図26を参照しながら説明する。

【0072】図24(a)乃至(c)は書き込み動作時における強誘電体キャパシタの印加電界、電気分極の状態を示しており、図25(a)乃至(c)は読み出し動作時における強誘電体キャパシタの印加電界、電気分極の状態を示している。

【0073】また、図26はデータの書き込み動作時および読み出し動作時におけるプレート線の印加電位を示している。上記強誘電体メモリセルに対するデータの書き込み、読み出しに際して、選択されたメモリセルのプレート線PLの電位を例えば0V→5V→0Vと変化させることにより、誘電分極の向きを制御する。

【0074】(A)データの書き込み動作に際しては、初期状態では、プレート線PLを接地電位Vss(0V)に設定し、2本のビット線BL1、/BL1をそれぞれ0Vにプリチャージしておく。

【0075】まず、図24(a)に示すように2本のビット線BL1、/BL1のうち的一方(例えば第2のビット線/BL1)を例えば5Vに設定し、ワード線WLに5Vを印加して2個のトランジスタQ1、Q2をオン状態にすると、第2のキャパシタC2の両端間に電位差が生じて例えば図中下向きの分極が発生するが、第1のキャパシタC1の分極は発生しない。

【0076】次に、図24(b)に示すように、プレート線PLを5Vに設定にすると、第1のキャパシタC1の両端間に電位差が生じ、図中上向きの分極が発生するが、第2のキャパシタC2の分極は反転しない。これにより、2個のキャパシタC1、C2に図示したように互いに逆向きの分極が発生した状態になり、この状態はデータ“1”または“0”の書き込み状態に対応する。

【0077】次に、図24(c)に示すように、プレート線PLを0Vに設定し、ワード線WLを0Vにして2個のトランジスタQ1、Q2をオフ状態にする。

【0078】(B)データの読み出し動作に際しては、初期状態では、プレート線PLを0Vに設定し、2本のビット線BL1、/BL1をそれぞれ0Vにプリチャージしておく。ここで、2個のキャパシタC1、C2には例えば図25(a)に示すように互いに逆向きの分極が発生した状態のデータが書き込まれている場合を想定す

る。

【0079】まず、図25(b)に示すように、プレート線PLを5Vに設定し、ワード線WLに例えば5Vを印加して2個のトランジスタQ1、Q2をオン状態にすると、第2のキャパシタC2の両端間に電位差が生じてその分極の向きが反転するが、第1のキャパシタC1の分極の向きは反転しない。この2個のキャパシタC1、C2からの読み出し電位はセンスアンプによりセンス増幅され、このセンスアンプの出力により2本のビット線BL1、/BL1は対応して0V、5Vに設定され、上記センスアンプの出力に基づいて読み出しデータの“1”、“0”を判別する。

【0080】続いて、図25(c)に示すように、プレート線PLを0Vに設定すると、第2のキャパシタC2の両端間に電位差が生じてその分極の向きが反転し、第1のキャパシタC1の分極の向きは、反転せず初期状態に戻る。

【0081】次に、本発明を前記したようなFRAMに適用した実施例を詳細に説明する。図1乃至図3は、本発明の第1の実施の形態に係る強誘電体メモリセルを採用した大容量の強誘電体メモリについてセルアレイの製造工程順におけるセルアレイの一部の平面パターンの一例を概略的に示している。

【0082】図4乃至図7は、前記セルアレイの製造工程順における断面構造の一部を概略的に示しており、具体的には、図3中のA-A線に沿うSDG領域およびセルキャパシタを含む断面構造を示している。

【0083】まず、セルアレイの構造について説明する。図7に示す構造においては、前述した従来例のビット線先作り・上部電極接続構造と比べて、パストランジスタと強誘電体キャパシタの上部電極19との接続構造および上部電極19の構造が異なる。

【0084】なお、ここでは、電荷転送用の1個のMOSトランジスタ(パストランジスタ)と情報記憶用の1個の強誘電体キャパシタとが直列接続された構成を単位セルとし、単位セルが行列状に配列されてメモリセルアレイを構成してなる1トランジスタ・1キャパシタ型の強誘電体メモリセルを備えたFRAMを例にとり説明する。また、説明の簡単化のため、各ワード線をWL、各ビット線をBL、各プレート線をPLで表示する。

【0085】図7において、1は第1導電型(例えばp型)の半導体基板(例えばシリコン基板)であり、その表層部には、図1に示すように複数個の素子領域(活性化領域)SDGがそれぞれワード線WL形成方向に直交する方向(ビット線BL形成方向に平行な方向)にほぼ直線状に形成されるとともに平面的にみて行列状の配置で形成されており、各素子領域SDG間には素子間分離領域用の酸化膜2が形成されている。

【0086】ここで、各列の素子領域SDGは、1列毎に素子領域SDGの1つ分の長さ(1ピッチ)ずつ位置

が偏移しており、各素子領域SDGは全体として市松状の配置（正格子に対してジグザグ状の配置）で形成されている。

【0087】上記各素子領域SDGは、中央部から一端側の領域に第1のMOSトランジスタを構成する第1のドレイン・チャネル・ソース領域が直線状に形成されており、上記中央部から他端側の領域に第2のMOSトランジスタを構成する第2のドレイン・チャネル・ソース領域が直線状に形成されており、上記中央部は上記第1、第2のMOSトランジスタに共通のドレイン領域D

となっている。

【0088】上記MOSトランジスタのチャネル領域上にゲート酸化膜3を介してゲート電極部Gが形成され、同一行の複数のMOSトランジスタのゲート電極部Gは連続的に連なってワード線WLとして形成され、ワード線WL群は互いに平行に形成されている。

【0089】この場合、各ワード線WL（ゲート電極部G）は、例えばPドープ・ポリシリコン4およびWSi（タングステンシリサイド）5の2層構造になっており、表面絶縁膜6および側壁絶縁膜7により保護されている。

【0090】さらに、上記表面絶縁膜6、側壁絶縁膜7上に層間絶縁膜9および表面平坦化用の層間絶縁膜10が形成されており、この層間絶縁膜10上にワード線WL群の形成方向とそれぞれ直交する方向にビット線BL群が形成されている。

【0091】この場合、層間絶縁膜10には、素子領域SDGの各中央部の第2導電型（本例ではn型）の不純物拡散領域（ドレイン領域）D上に対応してコンタクトホールが開口されており、前記層間絶縁膜10上で上記コンタクトホールから少しずれた位置にバリアメタル膜11および導電膜12からなるビット線BLが形成されており、各ビット線BLは上記コンタクトホール内でそれぞれ同一列の複数の素子領域SDGの各ドレイン領域Dにコンタクトしている。

【0092】なお、図4～図7では、ビット線BLは上記コンタクトホール内のみ実線で示され、図示される断面の後方に位置している層間絶縁膜10上については点線で示されている。

【0093】さらに、前記ビット線BL群上には表面平坦化用の層間絶縁膜13およびキャップ用絶縁膜16が形成されており、キャップ用絶縁膜16上には単位セル毎にスタック構造の強誘電体キャパシタ（下部電極17、強誘電体絶縁膜18、上部電極19）が形成され、さらに、キャパシタ保護用の絶縁膜20およびパッシベーション膜23が形成されている。

【0094】この場合、同一行の複数の強誘電体キャパシタの各下部電極17は、対応するMOSトランジスタを含むSDG領域の中央部あるいは隣接する素子間分離酸化膜2の上方を覆うように、かつ、前記ワード線W

L群の形成方向と平行な方向に（つまり、ビット線BLに直交する方向に）連続的に形成され、キャパシタプレート線PLとなっている。

【0095】また、単位セル毎の強誘電体キャパシタの上部電極19は、対応する下部電極17領域上に強誘電体絶縁膜18を介して例えば方形に形成されている。

【0096】そして、強誘電体キャパシタの上部電極19は、対応するMOSトランジスタの一端部の第2導電型（本例ではn型）の不純物拡散領域（ソース領域）Sに局所接続用の電極配線22を介して接続されている。

【0097】この場合、前記表面平坦化用の層間絶縁膜13、表面平坦化用の層間絶縁膜10および層間絶縁膜9等には、素子領域SDGの両端部のソース領域S上に対応してコンタクトホールが開口されており、このコンタクトホール内に導電性のプラグ（キャパシタコンタクトプラグ）15が埋め込まれている。そして、前記キャップ用絶縁膜16には、前記キャパシタコンタクトプラグ15上に対応してコンタクトホールが開口されており、このコンタクトホール内部および前記キャパシタ保護膜用の絶縁膜20上および前記上部電極19上に局所接続用の電極配線22として例えばアルミ系配線が形成されている。

【0098】なお、本例においては、キャパシタコンタクトプラグ15および電極配線22についても、前記ビット線BLと同様にそれぞれその下地側にバリアメタル膜14、21を有する構造となっている。

【0099】このとき、本例では、前記キャパシタコンタクトプラグ15および前記電極配線22はそれぞれの材料が異なる。具体的には、前記キャパシタコンタクトプラグ15の材料は、高融点金属が望ましく、前記電極配線22の材料はアルミニウム系配線材料あるいは銅系配線材料あるいは導電性ポリシリコン系配線材料が望ましい。

【0100】そして、前記電極配線22の下端面は、前記キャパシタコンタクトプラグ15の上端面よりも面積が大きく、前記キャパシタコンタクトプラグ15の上端面およびその周辺の層間絶縁膜（本例では層間絶縁膜13）にコンタクトしている。これにより、電極配線22とキャパシタコンタクトプラグ15とのコンタクト抵抗の低下と、前記キャパシタコンタクトプラグ15上に対応してコンタクトホールを開く時のマスク位置合わせのマージンの確保を図ることが可能になる。次に、前記セルアレイの製造方法について、図1乃至図3に示した平面パターンおよび図4乃至図7に示した断面図を参照しながら工程順に説明する。

【0101】まず、図1および図4に示すように、通常のCMOS型DRAMセルの形成工程と同様な工程により、シリコン基板1上にセルのMOSトランジスタのアレイを形成する。

【0102】ここで、2は基板表層部に選択的に形成さ

れた素子分離領域をなす酸化膜、D、Sは基板表層部の素子形成領域に選択的に形成された基板とは逆導電型の不純物拡散層からなるドレイン・ソース領域、3は基板表面に形成されたMOSトランジスタ用のゲート酸化膜、Gはゲート酸化膜3上に形成されたMOSトランジスタ用のゲート電極部（ワード線WLの一部）である。

【0103】次に、ゲート電極部G上を含む基板上に層間絶縁膜10を形成し、層間絶縁膜10のドレイン領域D上に対応する部分にコンタクトホールを形成する。さらに、上記コンタクトホールの内部および層間絶縁膜10上にバリア金属膜11および導電膜12を順次形成し、層間絶縁膜10上の導電膜12およびバリア金属膜11をパターニングしてビット線BLを形成する。

【0104】次に、ビット線上を含む基板上に平坦化用の層間絶縁膜（例えばBPSG膜）13を800nm程度堆積した後、化学機械的研磨（Chemical Mechanical Polishing; CMP）により200nm程度研磨して平坦化する。

【0105】次に、図5に示すように、リソグラフィ工程とエッチング工程により、層間絶縁膜13および層間絶縁膜10の前記ソース領域S上に対応する部分に例えば0.8×0.8μm<sup>2</sup>の開口面積のキャパシタプラグ用のコンタクトホールを選択的に形成する。この場合、層間絶縁膜13および層間絶縁膜10のトータル絶縁膜厚は1500nm、開口部のアスペクト比は1.9である。

【0106】さらに、前記コンタクトホールの内面にバリア金属膜（例えばTiN膜）14を20nm堆積させた後、例えばメタルCVD装置によりタングステンを前記トータル絶縁膜厚以上の1700nm程度堆積して前記コンタクトホールの内部に全面的に埋め込む。

【0107】この後、平坦化用の層間絶縁膜13上のタングステン膜およびバリア金属膜をエッチバックにより除去することにより、図1中に示すようにキャパシタコンタクトプラグ15が得られる。

【0108】なお、前記キャパシタコンタクトプラグ15を埋め込む際、コンタクトホール内壁にバリア金属膜14を形成しているため、コンタクトプラグ15からソース領域S用の不純物拡散層への拡散を防止することが可能である。

【0109】さらに、図5に示すように、CMPにより層間絶縁膜13の表面を十分に平坦化した後、キャップ用絶縁膜16を150nm堆積する。

【0110】次に、図2および図6に示すように、前記キャップ用絶縁膜16上に、キャパシタ下部電極17（キャパシタプレート線PL）用の導電膜、キャパシタ絶縁膜用の強誘電体膜18を順次形成し、さらに、キャパシタ上部電極19を形成し、強誘電体膜18および下部電極17用の導電膜のパターニングを行って強誘電体キャパシタを形成した後、キャパシタ保護用絶縁膜20

を形成する。

【0111】この際、前記強誘電体膜18としてPZT（PbZr、Ti、O<sub>2</sub>）、PLZT（(Pb,La)(Zr,Ti)O<sub>2</sub>）の他、SBT（SrBi、Ta、O<sub>2</sub>）等を用いることができる。また、キャパシタ下部電極17やキャパシタ上部電極19としてPt等（PtあるいはIrあるいはIrO<sub>2</sub>、IrO<sub>2</sub>、RuO<sub>2</sub>、あるいはそれらを組み合わせたもの）を用いることができる。

【0112】次に、前記キャパシタ保護用絶縁膜20およびキャップ用絶縁膜16のキャパシタコンタクトプラグ15上に対応する部分を開口するとともに、キャパシタ保護用絶縁膜20のキャパシタ上部電極19上に対応する部分を開口する。この場合、キャパシタコンタクトプラグ15の上端面より大きい開口部（図2中、16a）と、キャパシタ上部電極19の面積より小さい開口部（図2中、19a）を形成する。

【0113】そして、図3および図7に示すように、キャパシタコンタクトプラグ15とキャパシタ上部電極19とを接続するための電極配線材料として、例えばバリア金属膜用のTiN膜21およびSi-Cu（シリコン・銅）成分を含むAl（アルミ）配線のような導電膜を、キャパシタ保護用絶縁膜20を覆うように例えば高周波スパッタ法、メタルCVD法あるいはMOCVD法により順に堆積し、それをパターニングして電極配線22を形成し、その上にパッシベーション膜23を堆積する。

【0114】なお、前記強誘電体膜18の形成に際して、強誘電体材料の堆積後、強誘電体材料を結晶化し、強誘電体特性を高めるために、通常は750℃程度の高温酸素雰囲気中で10秒間程度、高速熱処理する。

【0115】また、強誘電体材料の堆積後の工程でキャパシタパターニングを行う時に生じる強誘電体特性の低下を回復させるために、600℃の高温酸素雰囲気中で30分程度のアニールを行う。

【0116】なお、これらの高温酸素雰囲気での処理に際して、前記キャップ用絶縁膜16は、強誘電体膜18を形成する際の強誘電体物質の熱的処理工程が終了するまでは電極配線形成用のコンタクトホールが開口されていないので、前記キャパシタコンタクトプラグ材の酸化を防止する働きを有する。

【0117】ただし、キャップ用絶縁膜16でキャパシタコンタクトプラグ15を覆っていても、高温酸素雰囲気でのアニールなどによりキャパシタコンタクトプラグ材の表面の軽度の部分的酸化は避けられない。

【0118】そこで、好ましくは、前記キャパシタコンタクトプラグ15上に電極配線材料を堆積する際、その前にキャパシタコンタクトプラグ15の表面酸化膜をエッチングする工程を付加することにより、キャパシタコンタクトプラグ15と電極配線材料との安定な接続が可能になる。この際のエッチングは、通常メタルスパッ



ターの電極を入れ替えて逆スパッターにすることで可能である。

【0119】また、一般にMOSFET活性層とコンタクトプラグとのコンタクト抵抗を下げるために行う水素、窒素の混合ガスを用いた450℃のシンター工程は、従来の工程例では強誘電体キャパシタの特性を劣化させる理由から使用することは不可能であった。これに対して、上記実施例の製造方法によれば、強誘電体キャパシタの形成よりも前にキャパシタコンタクトプラグ15を作り込むことにより、強誘電体キャパシタの形成前に通常のMOS型LSIと同一のシンター工程を採用することができ、具体的には、水素もしくは窒素またはこれらの混合ガスを用いた400～500℃程度のシンタリングを行うことが可能となる。これにより、MOSFETのゲート閾値 $V_{th}$ 、基板電位等諸々のデバイスパラメーターを共通に制御できる利点が生ずる。

【0120】また、上記実施例の製造方法において、キャパシタコンタクトプラグ15の材料として、電極配線と同じ材料は用いず、耐酸化性、耐熱性、低コンタクト抵抗性を有し、高アスペクト比のコンタクトホールへの埋め込みが可能な材料の使用が望ましく、例えばタングステン、モリブデン、チタン、パラジウム等の高融点金属の使用が望ましい。

【0121】これは、前記キャパシタコンタクトプラグ15としてポリシリコン材やアルミ系材などの酸化されやすい材料を使用した場合には、キャパシタコンタクトプラグ15を埋め込み形成した後で強誘電体キャパシタを作り込む際に、酸素雰囲気での高温熱処理がキャパシタコンタクトプラグ15にも施され、キャパシタコンタクトプラグ15が酸化されてその寄生抵抗が増加するという問題が生じるからである。

【0122】なお、本例ではAlSiCu電極配線材料とタングステンコンタクトプラグ材とのインターレーヤーとしてTiNを用いたが、Ti/TiNの積層膜を用いてもよい。また、電極配線材料としては、AlSiCu配線に限らず、アルミ系、銅系の配線材料や導電性ポリシリコン系配線材料を用いることが可能である。

【0123】また、上記実施例の製造方法においては、キャパシタ用のコンタクトプラグと電極配線材料との接触抵抗を少なくするために、それらのコンタクト面で電極配線がキャパシタ用のコンタクトプラグの上端面の面積より大きい配線面積を持つ接続構造を採用している。

【0124】即ち、本例では、キャパシタ用のコンタクトプラグ上の電極配線(AlSiCu/TiN)は、コンタクトプラグ(W)の上端面と周辺絶縁膜(本例では層間絶縁膜13)の両方に接触する構造を採用している。

【0125】なお、電荷転送用のパストランジスタとしては、ゲート絶縁膜が酸化物からなるMOSトランジスタに限定されず、ゲート絶縁膜が窒化物や、窒酸化物、

あるいは酸化物と窒化物との積層構造等からなるMISトランジスタを形成することもできる。

【0126】次に、前記したようなPZT材料またはSBT材料を用いた強誘電体キャパシタの上部電極材料としてPtまたはその他の電極材料(Ir、Ir酸化物、Ru酸化物等)を使用し、強誘電体キャパシタの上部電極を0.1ミクロンレベルまで微細に形成する方法について、図8(a)乃至(f)を参照しながら説明する。なお、この工程は、強誘電体キャパシタ用電極以外の形成に際しても適用可能である。

【0127】まず、図8(a)に示すように、前記キャップ用絶縁膜16上に強誘電体キャパシタの下部電極膜17a、強誘電体薄膜18aを順次堆積する。この場合、下部電極膜17aとしてPtを175nm、強誘電体薄膜18aとしてPZT膜を300nm形成する。

【0128】次に、図8(b)に示すように、強誘電体薄膜18a上に300nmのTEOS(テトラエトキシシラン)酸化膜20aを堆積する。

【0129】次に、図8(c)に示すように、PEP(写真蝕刻工程)を用いてTEOS酸化膜20aに所望の上部電極面積に対応する開口部を選択的に形成する。

【0130】次に、図8(d)に示すように、上部電極形成用のPt膜19aをTEOS酸化膜20aの膜厚以上に堆積する。

【0131】次に、図8(e)に示すように、エッチバックあるいはCMPによりTEOS酸化膜20a上のPt膜19aを除去する。そして、通常のフォトリソグラフィ技術を使用し、帯状のレジストパターンを形成し、このレジストパターンをマスクとする異方性エッチングにより、前記TEOS酸化膜20a/強誘電体薄膜18a/下部電極膜17aを順次パターンニングする。

【0132】これにより、所望の帯状の強誘電体薄膜18および下部電極17を得る。この際、同一マスクパターンを用いてTEOS酸化膜20a、強誘電体薄膜18aおよび下部電極膜17aを順次エッチング加工することにより、セルフアラインによりTEOS酸化膜20aと強誘電体薄膜18と下部電極膜17とはほぼ同じ平面形状に形成される。

【0133】次に、図8(f)に示すように、上記強誘電体薄膜18、下部電極17のパターンエッジにおける異方性エッチングによる加工ダメージを緩和するとともに、強誘電体薄膜18の電氣的絶縁耐圧の低下などを抑制するために、TEOS酸化膜20a、上部電極19、強誘電体薄膜18、下部電極17の表面を覆うようにキャパシタ保護用絶縁膜20を形成する。上記キャパシタ保護用絶縁膜20としては、例えばプラズマCVD法によるTEOSの分解により得られるSiO<sub>2</sub>膜、あるいは、熱酸化法によるSiO<sub>2</sub>膜を形成する。

【0134】そして、キャパシタ保護用絶縁膜20の上部電極19上に対応する部分に上部電極19の面積より

小さい開口部を設けた後、前記したような電極配線 2 2 および最終保護用のパッシベーション膜 2 3 を形成する。

【0135】上述したように上記実施例の製造方法においては、強誘電体メモリセルを形成する際、パストランジスタの一端側領域上にコンタクトプラグ層を埋め込んだ後に強誘電体キャパシタを形成し、キャパシタ上部電極とコンタクトプラグの上端部とを接続するための電極配線を例えばスパッタ法により形成することが可能になる。

【0136】これにより、強誘電体メモリセルの形成後におけるメタル CVD 装置や MOCVD 装置を用いた還元性雰囲気中での配線堆積工程を避けることができ、キャパシタの残留分極量等の電気的特性の劣化を防止することができる。

【0137】また、キャパシタ上部電極 1 9 を絶縁膜 2 0 a の開口部に埋め込む構造としたので、キャパシタ上部電極 1 9 の面積を縮小し、単位セルの面積の縮小化が可能になり、FRAM の高集積化が可能になる。

【0138】なお、上記第 1 の実施の形態では、キャパシタコンタクトプラグを 1 回の工程で形成したが、キャパシタコンタクトプラグを 2 段階に分けて形成してもよく、このような変形例の製造方法の断面図を図 9 および図 1 0 に示す。

【0139】即ち、図 9 および図 1 0 に示すように、ビット線 BL ( 1 1 、 1 2 ) の形成と同時に第 1 のキャパシタコンタクトプラグ 1 1 a 、 1 2 a を形成しておき、その上に形成される絶縁層 1 3 に前記第 1 のキャパシタコンタクトプラグ 1 1 a 、 1 2 a の上端面に接続するように第 2 のキャパシタコンタクトプラグ 1 4 、 1 5 を形成する。

【0140】このような構造を採用することにより、コンタクトプラグ層を埋め込む際における各コンタクトホールのアスペクト比を低下させることができるので、コンタクトホール内への埋め込みを容易に行うことが可能になる。

【0141】このように形成された半導体装置は、半導体基板の表層部に形成された不純物拡散領域からなるドレイン領域・ソース領域を有する MIS トランジスタと、前記 MIS トランジスタを含む半導体基板上に形成された第 1 の絶縁膜と、前記第 1 の絶縁膜内に埋め込み形成されたビット線コンタクトプラグを介して前記ドレイン領域・ソース領域のうちの一方の領域に接続され、前記第 1 の絶縁膜上に形成されたビット線と、前記第 1 の絶縁膜内に埋め込み形成され、前記ドレイン領域・ソース領域のうちの他方の領域に下端部がコンタクトした第 1 のキャパシタコンタクトプラグと、前記ビット線を含む半導体基板上に形成された第 2 の絶縁膜と、前記第 2 の絶縁膜内に埋め込み形成され、前記第 1 のキャパシタコンタクトプラグの上端に下端部がコンタクトした第

2 のキャパシタコンタクトプラグと、前記第 2 の絶縁膜上に形成され、下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパシタと、前記第 2 のキャパシタコンタクトプラグの上端と前記強誘電体キャパシタとの間を接続する電極配線とを具備することを特徴とする。

【0142】また、上記第 1 の実施の形態において、前記ビット線 BL ( 1 1 、 1 2 ) のコンタクトプラグ部およびキャパシタコンタクトプラグ 1 4 、 1 5 ( 第 1 のキャパシタコンタクトプラグ 1 1 a 、 1 2 a 、第 2 のキャパシタコンタクトプラグ 1 4 、 1 5 からなる場合も含む ) を、図 9 および図 1 0 に示すように、それぞれ上部の開口幅が底面の開口幅よりも広い逆テーパー状の側面を有するように形成してもよい。

【0143】これにより、セルサイズの縮小化に伴ってワード線間隔が狭くなっても、ワード線とコンタクトプラグ下部との間隔を所望通り確保するとともにコンタクトホールの開口面積 ( 電極配線とのコンタクト面積 ) を所望通り確保することが容易になり、プロセスマージンが増大するという利点が得られる。

【0144】次に、図 1 1 および図 1 2 は、本発明の第 2 の実施の形態に係る FRAM セルのアレイを有する大容量の FRAM における FRAM セルおよび他の素子の製造工程順における断面構造の一部を概略的に示している。

【0145】図 1 3 は、第 2 の実施の形態に係る FRAM セルのアレイの一部の平面パターンの一例を概略的に示している。

【0146】図 1 1 および図 1 2 に示す製造工程は、二層配線構造における第 2 層配線 ( ビット線あるいは他の配線 ) の接続を行うためのビアホールを埋めるために、Al、AlCu、AlCuSi、Cu の少なくとも一つの材料 ( 本例ではアルミニウム ) がリフローされている点が特徴的である。なお、ここで、図 4 乃至図 7 に示した製造工程と同一部分には同一符号を付している。

【0147】図 1 1 および図 1 2 において、半導体基板 1 上にはメモリセルのスイッチ用 MOS トランジスタ 3 1 およびメモリセル以外の混載デバイス用の他の MOS トランジスタ 3 2 が形成されている。

【0148】前記各トランジスタ上を覆い、表面が平坦化された ( つまり、下地段差を平坦化した ) 第 1 の絶縁層 1 0 内には、前記スイッチ用トランジスタ 3 1 のドレイン領域 D、ソース領域 S に接続されたビット線コンタクトプラグ 3 3 およびキャパシタコンタクトプラグ 3 4、混載デバイス用の他の MOS トランジスタ 3 2 のゲートに接続されたコンタクトプラグ 3 5 が埋め込み形成されている。

【0149】前記第 1 の絶縁層 1 0 の表面上に順に形成されている下部電極 1 7、強誘電体膜 1 8 および上部電極 1 9 を含む基板を覆う第 2 の絶縁層 1 3 には、ビット

線コンタクトプラグ 33、キャパシタコンタクトプラグ 34、混載デバイス用のコンタクトプラグ 35 および上部電極 19 の上方に対応して選択的にホールが形成されている。そして、上記ホール部を介して前記ビット線コンタクトプラグ 33 に接続されたビット線埋め込みプラグ接続配線（ビット線接続用コンタクトパターン）36、キャパシタコンタクトプラグ 34 および上部電極 19 に接続された上部電極取り出し配線（キャパシタ電極配線）22、混載デバイス用のコンタクトプラグ 35 に接続された第 1 層配線 37 が形成されている。

【0150】なお、前記上部電極取り出し配線 22 およびビット線埋め込みプラグ接続配線 36 は、Al、AlCuSi、AlCu、Wメタル、TiNメタル、Tiメタルの少なくとも一つの材料を有するものであり、前記第 1 層配線 37 と同一配線層で形成されている。また、上部電極取り出し配線 22、ビット線埋め込みプラグ接続配線 36 および第 1 層配線 37 の上面側には、選択的に Wメタル、TiNメタル、Tiメタルのいずれかからなるメタル層 11' が形成されており、これらは前記強誘電体膜 18 にダメージを与えないスパッタ法あるいは CVD 法によって形成され得る。

【0151】前記各配線を含む基板上面を覆い、表面が平坦化された第 3 の絶縁膜 30 には、前記ビット線埋め込みプラグ接続配線 36 および第 1 層配線 37 の上方に対応して選択的にビアホールが形成されている。そして、上記ビアホール内を埋めるように Al、AlCu、AlCuSi、Cu の少なくとも一つの材料（本例ではアルミニウム）がリフローされてなり、前記ビアホール部を介して前記ビット線埋め込みプラグ接続配線 36 に接続されたビット線 BL および前記ビアホール部を介して前記第 1 層配線 37 に接続された第 2 層配線 38 が形成されている。さらに、パッシベーション膜 39 が形成され、パッド部にホールが開口されている。

【0152】上記したようなペロブスカイトないしは層状ペロブスカイト構造の物質からなる強誘電体膜を用いた情報記憶用のキャパシタとスイッチ用トランジスタとを有するメモリセルおよび少なくとも二層以上の多層配線構造を有する強誘電体メモリの製造に際しては、ビット線形成工程で前記多層配線構造におけるビアホールを埋めるために Al、AlCu、AlCuSi、Cu の少なくとも一つの材料（本例ではアルミニウム）をリフローする工程を用いる。

【0153】この際、Al リフローに際して、下地配線が Al 系の場合には、スパッタ堆積時の温度により Al 系配線の溶融、ボイドの発生が生ずるおそれがある。このため、ビアメタルと直接接触する下地としては、Wメタル、TiNメタル、Tiメタル層のいずれかをスパッタあるいは CVD 法により堆積した後、多層配線のビア部となる領域の直下に選択的に上記メタル層 11' を形成し、溶融ボイド防止膜として用いる。

【0154】次に、図 11 乃至図 13 に示す断面図および平面パターンを参照しながら工程順に詳細に説明する。

【0155】まず、図 11 に示すように、通常の CMOS 型 DRAM セルの形成工程と同様な工程により、シリコン基板 1 上にメモリセルトランジスタ 31 および他のデバイス用のトランジスタ 32 を形成する。

【0156】ここで、2 は基板表層部に選択的に形成された素子分離領域、D、S は基板表層部の素子形成領域に選択的に形成された基板とは逆導電型の不純物拡散層からなるドレイン・ソース領域、3 は基板表面に形成された MOS トランジスタ用のゲート酸化膜、G はゲート酸化膜 3 上に形成された MOS トランジスタ用のゲート電極部（ワード線 WL の一部）である。

【0157】なお、素子分離領域 2 は、LOCOS 膜（選択酸化膜）、STI（Shallow Trench Isolation）など、任意の構造を採用してよい。

【0158】次に、ゲート電極部 G 上を含む基板上に平坦化用の第 1 の層間絶縁膜（例えば BPSG 膜）10 を堆積した後、CMP により表面を平坦化する。

【0159】次に、第 1 の層間絶縁膜 10 に選択的にコンタクトホールを形成する。具体的には、ドレイン領域 D 上に対応する部分にビット線コンタクトホール、ソース領域 S 上に対応する部分にキャパシタプラグ用のコンタクトホールおよびその他の配線用のコンタクトホールを形成する。

【0160】さらに、スパッタ法を用いてバリアメタル膜（Ti、TiN）11 を前記コンタクトホールの内部および第 1 の層間絶縁膜 10 上に蒸着した後、CVD 法を用いて W 膜を堆積し、前記コンタクトホールの内部にコンタクトプラグ 33、34 および 35 を形成する。

【0161】次に、エッチバックあるいは CMP を行い、第 1 の層間絶縁膜 10 の表面を露出させる。なおここで、第 1 の実施例と同様に、コンタクトプラグを逆テーパ状に形成すれば、プロセスマージンを増大させることができる。

【0162】次に、図 12 に示すように、前記各コンタクトプラグを含む第 1 の層間絶縁膜 10 上に、キャパシタ下部電極 17（キャパシタプレート線 PL）用の導電膜として、Pt/Ti/TiN をスパッタ蒸着する。さらに、キャパシタ絶縁膜用の強誘電体膜 18 として PZT 膜を形成する。さらに、キャパシタ上部電極 19 として Pt を形成する。そして、RIE を用いて、前記キャパシタ上部電極 19、強誘電体膜 18 および下部電極 17 の順にパターニング加工を行って強誘電体キャパシタを形成する。この際、強誘電体膜 18 にダメージが入った場合は、500～600℃の酸素雰囲気での熱処理により回復させることができる。

【0163】次に、プラズマ CVD により第 2 の層間絶縁膜 13 を形成し、化学ドライエッチング（CDE）お

10

20

30

40

50

よび R I E を用いて前記各コンタクトプラグ 33、34、35 および上部電極 19 との接続用のコンタクトホールを形成する。

【0164】そして、スパッタ法を用いて A1、W を順に堆積し、キャパシタコンタクトプラグ 34 とキャパシタ上部電極 19 との接続を行うためのキャパシタ電極配線 22 を形成すると同時に、ビット線接続用コンタクトパターン 36 およびメモリセル以外の混載デバイス用の第 1 層配線 37 を形成する。

【0165】さらに、第 3 の層間絶縁膜 30 を形成し、その表面を CMP により平坦化した後、前記ビット線接続用コンタクトパターン 36 との接続を行うためのビアホールおよびメモリセル以外の混載デバイスの第 1 層配線 37 との接続を行うためのビアホールを形成し、A r 雰囲気中で基板温度 400 ~ 470℃ とした高周波マグネトロンスパッタ法 (A1 を高温で溶解し泳動的にビアホールを埋め込む A1 リフロー法) により前記ビアホール内を埋め込むように第 2 配線層を堆積した後、第 2 配線層をパターニングしてビット線 B L および混載デバイス用の第 2 層配線 38 を形成する。

【0166】これにより、ビット線 B L は、ビアホール部・ビット線接続用コンタクトパターン 36 およびビット線コンタクトプラグ 33 を介してメモリセルのスイッチ用 MOS トランジスタ 31 のドレイン領域 D に接続されることになり、混載デバイス用の第 2 層配線 38 は第 1 層配線 37 を介してメモリセル以外の混載デバイス用 MOS トランジスタ 32 に接続される。

【0167】なお、第 2 層配線 38 は、A1 リフローで堆積された膜をそのまま用いてパターニングしてもよいが、ビア部以外の A1 系金属を金属 CMP にて研磨、除去、平坦化し、再び第 2 層配線 38 となる金属を堆積し、パターニングしてもよい。

【0168】この後、二層配線構造の半導体集積回路の場合は、トップパッシベーション絶縁膜 39 を堆積し、パッド部を開口する。三層、四層配線以上の配線構造の半導体集積回路の場合は、前記したような層間絶縁膜 30 を形成した後に A1 リフロー法による配線層を堆積し、パターニングを行う工程を必要回数繰り返し、この後にトップパッシベーション絶縁膜 39 を堆積し、パッド部を開口する。

【0169】なお、本実施の形態においては、前記第 1 層配線 37 を形成した際の第 1 配線層の一部をパッド部として用いてもよい。

【0170】さらに、図 12 には、第 3 の層間絶縁膜 30 におけるビット線コンタクトプラグ 33 の上方に対応して選択的にホールを開口し、ビット線をビット線接続用コンタクトパターン 36 とコンタクトさせた場合を示したが、ビット線接続用コンタクトパターン 36 を第 1 の絶縁層 10 上で適宜引き回すことにより、これとは異なる位置でビット線をコンタクトさせることも可能であ

る。従って、プロセスマージンを増大させることができ、特にセルアレイの設計の自由度を向上させる上で有利である。全く同様に、メモリセル以外の混載デバイスの第 1 層配線 37 についても、第 1 の絶縁層 10 上で引き回すことが可能である。

【0171】また、図 7 に示したような強誘電体キャパシタより下方にビット線 B L を配置した構造 (F C O B ; Ferro Capacitor On Bit-line) を有するセルアレイは、メモリセル部の設計の自由度が向上するが、ビット線上に形成される層間絶縁膜 13 の分だけ絶縁膜厚が増大することになり、メモリ以外の混載デバイスにとっては不利な構造を強いられることになる。

【0172】これに対して、図 11 および図 12 に示したように強誘電体キャパシタの上層側にビット線 B L を配置した構造とし、ビット線 B L を第 2 配線層で形成した場合には、メモリセル部の設計の自由度が大幅に増大し、これによりセル面積の縮小化が可能になる。

【0173】ここで、図 13 に示した平面パターンを参照して説明する。図 13 に示した構造は、前述した図 1 乃至図 3 の構造と比べて、ビット線 B L がワード線 W L の上方でワード線 W L に直交する方向に一定幅で形成されており、ビット線 B L の配置、幅、コンタクト部などが異なり、その他は同じであるので図 1 乃至図 3 中と同一符号を付してその詳細な説明を省略する。

【0174】即ち、図 13 において、41 はビット線 B L がその下層部のビット線接続用コンタクトパターン (図 12 中の 36) に接続されているコンタクト部、42 は単位セル毎に形成されたスタック構造のキャパシタの上部電極 (図 12 中の 19) およびキャパシタコンタクトプラグ (図 12 中の 34) に対して、ワード線 W L とビット線 B L との間の中間層に形成された局所接続用の電極配線 (図 12 中の 22) が接続されているコンタクト部である。P L はキャパシタの下部電極 (図 12 中の 17) が連続するように形成されたキャパシタプレート線である。

【0175】つまり、図 11 および図 12 に示したような強誘電体キャパシタの上層側にビット線を配置した構造を採用すれば、図 13 に示すようにセルアレイを形成することが可能になり、前記 F C O B 構造に比べてビット線 B L の幅を広くとることができ、ビット線抵抗を低くできるので、メモリ動作上、極めて有利となる。

【0176】従って、F R A M メモリと他の L S I を混載する場合には、ビット線 B L を強誘電体キャパシタより下方または第 1 層に配線する F C O B 構造よりも第 2 配線層以降に形成する方が有利である。

【0177】さらに、本発明との比較のため、本発明の第 2 の実施の形態における A1 リフローによるビア埋め込みの代わりに、T i (スパッタ) / T i N (スパッタ) / W (C V D) によるビア埋め込みを用いた場合 (比較例) について、プロセスの違いによる強誘電体キ

ャパシタの強誘電体膜の分極量に及ぼす影響を調べた。

【0178】結果として、第2の実施の形態により得られた強誘電体キャパシタの強誘電体膜の分極量が  $30 \mu\text{C}/\text{cm}^2$  であるのに対して、比較例では、分極量が  $\sim 3 \mu\text{C}/\text{cm}^2$  と激しく劣化した。

【0179】FRAMデバイスにおいては、強誘電体の分極量はセンスマージンに直接有効であり、その値が大きい方が信頼性の向上につながるため、第2の実施の形態の優位性は明らかである。

【0180】さらに、図14は、本発明の第3の実施の形態に係るFRAMセルのアレイを有する大容量のFRAMにおける断面構造の一部（SDG領域およびセルキャパシタを含む）を概略的に示している。

【0181】図14に示すFRAMセルの構造は、図12を参照して前述したFRAMセルの構造と比べて、基本的にはほぼ同様であるが、第1の層間絶縁膜10上に第1のSiO<sub>2</sub>膜51を介して強誘電体キャパシタが形成されている点、強誘電体キャパシタ上に第2のSiO<sub>2</sub>膜52が形成されている点が異なる。

【0182】図14に示したFRAMセルの製造工程は、図11および図12を参照して前述した製造工程と比べて、(1) エッチバックにより第1の層間絶縁膜10の表面を露出させた後に、スパッタ法により全面に第1のSiO<sub>2</sub>膜51を堆積させる工程、(2) 前記したように強誘電体キャパシタを形成した後に、スパッタ法により全面に第2のSiO<sub>2</sub>膜52を100nm程度堆積させる工程が追加されている点、(3) 第2のSiO<sub>2</sub>膜52上に第2の層間絶縁膜13を堆積し、それに選択的にホールを開口する際に、下層の第2のSiO<sub>2</sub>膜52または第2のSiO<sub>2</sub>膜52/第1のSiO<sub>2</sub>膜51にもホールを開口する点が異なる。

【0183】上記したようにスパッタ法により形成されたSiO<sub>2</sub>膜51、52は、水素基を含まず、また、水素基を通し難い。即ち、この後の工程で、仮に水素基が強誘電体キャパシタ付近まで到達したとしても直接には強誘電体キャパシタには到達しないので、強誘電体特性（分極量）の劣化を最小限に抑制することができる。図15は、本発明の第4の実施形態に関わる半導体装置の断面図である。本実施形態は、FRAMセルアレイとロジック回路等が混載された半導体装置に好適な製造方法を提供する。

【0184】本実施形態の製造方法は、2層配線構造における第1層配線から半導体基板あるいはトランジスタのゲート電極へのコンタクトプラグが2度に分けて形成されている点に特徴を有する。すなわち本実施形態のコンタクトプラグは、まずFRAMセルの強誘電体キャパシタが形成される前に下層部分が形成され、次に強誘電体キャパシタが形成された後に、残りの上層部分が形成される。

【0185】このようなコンタクトプラグの形成方法を

採ることにより、コンタクトホールの開口径に対する深さの比（アスペクト比）を小さくすることができ、コンタクトホールの加工と埋め込みが容易になる。この利点は、加工上非常に厳しいルールを用いてパターン配置を行っているロジック製品との混載を行う場合に有利となる。

【0186】本実施例の前半のプロセスは、第2の実施形態で説明した図11と同じである。すなわち、半導体基板1上にはメモリセルのスイッチ用MOSトランジスタ31およびメモリセル以外の、混載デバイス用の他のMOSトランジスタ32が形成されている。

【0187】これらのトランジスタを覆い、平坦化された第1の層間絶縁膜10内には、スイッチ用トランジスタ31のドレイン・ソース領域に接続された第1のビット線コンタクトプラグ33および第1のキャパシタコンタクトプラグ34、混載デバイス用の他のトランジスタ32のソースあるいはドレイン領域あるいはゲート電極に接続される第1のコンタクトプラグ35が埋め込み形成されている。

【0188】また、第1の層間絶縁膜10の表面には、図15に示すように、薄いシリコン窒化膜層121と薄いシリコン酸化膜層122が形成され、さらにその上に下部電極17、強誘電体膜18および上部電極19が順に形成されて強誘電体キャパシタを形成している。このキャパシタは表面が平坦化された第2の層間絶縁膜13で覆われており、さらに第2の層間絶縁膜13の内部には、第2のビット線コンタクトプラグ133、第2のキャパシタコンタクトプラグ134および混載デバイス用の他のトランジスタ32に接続された第2のコンタクトプラグ135が埋め込み形成されている。

【0189】また、第2の層間絶縁膜13の表面には、上部電極取り出し配線、ビット線埋め込みプラグ接続配線、および混載デバイス用の第1層配線22、36、37の第1配線層が形成されている。

【0190】この第1配線層を覆うように第2の層間絶縁膜13上に形成され、表面が平坦化された第3の層間絶縁膜30には、ビット線埋め込みプラグ接続配線36および第1層配線37の直上にヴィアホールが形成されている。このヴィアホールは、Al、AlCu、AlSiCu、Cuの内の少なくとも1つの材料により埋め込まれている。さらに、第3の層間絶縁膜30の表面には、第2配線層38、BLが形成され、その上にはパッシベーション膜39が形成されている。

【0191】次に本実施形態の製造方法を、工程順に説明する。前述のようにプロセスの前半は第2の実施形態（図11）と同じである。まず、通常のCMOS型DRAMと同様に、シリコン基板1上にメモリセルトランジスタ31および他のデバイス用のトランジスタ32が形成される。すなわち、トランジスタのゲートおよび拡散層領域が形成され、第1の層間絶縁膜10およびコンタ

クトホールが形成される。

【0192】続いて、このコンタクトホールにコンタクトプラグが埋め込まれる。前述のように、本実施形態では第1配線層から基板面へのコンタクトプラグが2度に分けて形成されるが、図11に示す段階までで、第1段階（下層部分）のコンタクトプラグが完成する。

【0193】次に、図15に示すように、LPCVD法により第1の層間絶縁膜10の上に薄いシリコン窒化膜層121が形成される。このシリコン窒化膜層121は、後に強誘電体キャパシタの形成工程で行われる酸素雰囲気中でのアニールによるコンタクトプラグ材料（例えばW）の酸化を防ぐとともに、アニールによるトランジスタの特性変動を防ぐ役割がある。続いて、シリコン窒化膜層121上に、LPCVD法、プラズマCVD法、あるいは常圧CVD法により薄いシリコン酸化膜層122が形成される。

【0194】次に、シリコン酸化膜層122上にキャパシタ下部電極17用の導電膜としてTiN、Ti、Ptが順にスパッタされる。その上に、キャパシタ絶縁膜用の強誘電体膜18として、PZT膜が形成される。さらにその上に、キャパシタ上部電極19としてPtがスパッタされる。

【0195】続いて、RIEにより上部電極19、キャパシタ絶縁膜18、下部電極17の順でパターニングされ、強誘電体キャパシタが形成される。このとき、強誘電体膜18にダメージが入り本来の特性と変わってしまった場合には、500℃程度の酸素雰囲気中でのアニールで回復させることが可能である。

【0196】次にプラズマCVDにより第2の層間絶縁膜13が形成され、CMP等によりその表面が平坦化される。続いてコンタクトプラグ33、34、35と後に形成される第1配線層との接続を行うためのコンタクトホールが形成される。このとき、キャパシタ下部電極17と第1配線層との接続を行うためのコンタクトホール（不図示）も同時に形成される。

【0197】次に、スパッタ法によりバリア層としてTiN膜111を全面に形成した後、前記コンタクトホールを埋め込むように、スパッタ法によりAlを堆積し、400℃程度の温度でリフローする。続いて、CMPあるいはエッチバック法により、コンタクトホール内部以外のTiN膜、Alが除去される。ここまでで、コンタクトプラグの下層部分と上層部分の両方が形成され、本実施形態の特徴的な構造が出来上がる。

【0198】次に、キャパシタ上部電極19上に、RIEによりコンタクトホールが形成される。このコンタクトホールも前述のコンタクトホールと同時に形成し、Al等により埋め込むことも可能であるが、本実施形態では同時形成を行わず、先のコンタクトホール形成後に別に形成している。この理由は、上部電極19へのコンタクトホールのアスペクト比は、他のコンタクトホールの

それに比べて小さいので、埋め込む必要性が少ないこと、アスペクト比の大きく異なるコンタクトホールでは、埋め込みの条件が大きく異なるため同時埋め込みが困難であると予想されること、さらに埋め込み時のダメージが強誘電体キャパシタに及ぶのを極力さけたいこと、等である。

【0199】次に、Ti、TiN、AlCu、TiNを順にスパッタ法により全面に堆積させ、第1配線層を形成する。これをRIEにより加工することにより、キャパシタコンタクトプラグ134と上部電極19とを接続するキャパシタ配線22と、ビット線埋め込みプラグ接続配線36、混載デバイス用の第1層接続配線37が形成される。ここで、第1配線層の最上層のTiNは、リソグラフィのためのレジストパターン形成時に、Alからの光の反射を防止する反射防止膜として働く。

【0200】続いて第3の層間絶縁膜30を形成し、その表面をCMPにより平坦化した後、前述の第1配線層と後述の第2配線層を接続するためのヴィアホールを開く。さらに、第2の層間絶縁膜13に形成したコンタクトホールの場合と同様なAlリフロー技術等を用いて、このヴィアホールをAlで埋め込んだ後、Ti、TiN、Alを順にスパッタし、第2配線層を形成する。この第2配線層がRIEにより加工されて、第2層配線38、ビット線BL等が形成される。

【0201】この後2層配線構造のデバイスの場合には、トップパッシベーション膜39が堆積され、選択的にパッド部が開く。より多層の配線構造のデバイスの場合には、前述の方法の繰り返しで配線層と絶縁層を形成し、最後にトップパッシベーション膜39を堆積し、選択的にパッド部を開くすればよい。

【0202】図16は、本発明の第5の実施形態に係わる半導体装置の断面図である。本実施形態は、FRAMセルアレイとロジック回路等が混載された半導体装置に好適な他の構造およびその製造方法を提供する。基本的には第3の実施形態と類似しており、図14と同一箇所には同一番号を付し、重複する説明は省略する。

【0203】本実施例の前半のプロセスは、第2の実施形態で説明した図11とほぼ同じである。すなわち、半導体基板1上にはメモリセルのスイッチ用トランジスタ31とメモリセル以外の混載デバイス用他のトランジスタ32、およびSTI (shallow trench isolation) による素子分離酸化膜2が形成される。

【0204】これらのトランジスタを覆うように、シリコン酸化膜層10を堆積し、CMP法を用いて表面を平坦化する。その上に、Si、N、膜121をLPCVD法で、例えば150nm堆積する（図16）。このSi、N、膜121は、強誘電体キャパシタ形成の際の酸素アニールによるトランジスタへのダメージ（閾値変動）を軽減する。

【0205】次に、上記トランジスタのソース領域S、

ドレイン領域DへのコンタクトホールをR I Eにより形成する。バリア層11として、T i、T i Nを順にスパッタにより堆積し、続いてC V D法によりコンタクトプラグ33、34、35としてWを埋め込む。さらに、絶縁膜10上のT i、T i N、Wを、例えばC M P法を用いて除去する。

【0206】次に、全面にシリコン酸化膜層(S i O<sub>2</sub>) 122を100nm堆積する。その上に強誘電体キャパシタを構成するP t層17、P Z T層18、P t層19を順次スパッタにより堆積する。これらの層は酸素中で熱処理され、P Z T層が結晶化され、ペロブスカイト構造となる。その後これらの層は、キャパシタの形状にR I Eにより加工される。

【0207】次に、全面にシリコン酸化膜13をプラズマC V D法により堆積し、コンタクトプラグ33、34、35の上部およびキャパシタの上部電極19の上部に開口部を形成する。その後全面にバリア層111となるT i、T i N、配線層22、36、37となるA l、金属層11'となるWを順次スパッタにより堆積し、R I Eにより加工してキャパシタとコンタクトプラグ34との配線およびその他コンタクトプラグの取り出し電極等を含む第1配線層を形成する。

【0208】次に、全面にシリコン酸化膜層30をプラズマC V D法で堆積する。コンタクトプラグ33、35の直上のシリコン酸化膜層30に開口部を形成し、第1配線層のうち36に対応する部分を露出する。続いてバリア層112となるT i、T i N、配線38となるA lを順次スパッタにより堆積する。この後、約400℃の熱処理によりA lをリフローし、シリコン酸化膜30に形成されたアスペクト比の高い開口部を埋め込む。このときC V D法によりWを埋め込まないのは、強誘電体キャパシタへの水素によるダメージを無くするためである。A lリフローを用いれば水素が発生せず、強誘電体キャパシタへのダメージを避けることができる。

【0209】続いて、上記のT i、T i N、A l層をR I Eにより加工し、第2配線層を形成する。その後、シリコン酸化膜39をC V D法により堆積し、図16に示す半導体構造が完成する。

【0210】図17は、本発明の第6の実施形態に係わる半導体装置の断面図である。本実施形態は、F R A Mセルアレイとロジック回路等が混載された半導体装置に好適なさらに他の構造およびその製造方法を提供する。基本的には第4の実施形態と類似しており、図15と同一箇所には同一番号を付し、重複する説明は省略する。

【0211】シリコン酸化膜122を形成する工程までは、第5の実施形態と同様に行われる。続いて全面に強誘電体キャパシタを構成するP t層17、P Z T層18、P t層19を順次スパッタにより堆積する。これらの層は酸素中で熱処理され、P Z T層が結晶化され、ペロブスカイト構造となる。その後これらの層は、キャパ

シタの形状にR I Eにより加工される。

【0212】次に、全面にシリコン酸化膜13をプラズマC V D法により堆積し、コンタクトプラグ33、34、35の上部に開口部を形成する。その後全面にバリア層111となるT i、T i N、配線層22、36、37となるA lを順次スパッタで堆積し、約400℃の熱処理でA lをリフローし、上記の開口部を埋め込む。その後バリアとなるW金属層11'をC V D法を用いて堆積する。これらのT i、T i N、A l、W層をR I Eにより加工し、コンタクトプラグ33、34、35等とのビアコンタクトを含む第1配線層を形成する。本実施形態の特徴は、シリコン酸化膜層13に形成された開口部(ビアホール)が、リフローされたA lで埋め込まれるところにある。なおここでは、第2の実施の形態と同様に、T i N金属やT i金属を金属層11'に用いることもできる。

【0213】次に、全面にシリコン酸化膜層30をプラズマC V D法で堆積する。トランジスタのドレイン領域Dの直上のシリコン酸化膜層30に開口部を形成し、対応する第1配線層36、37上のW金属層11'を露出する。続いて第5の実施形態と同様に、バリア層111となるT i、T i N、配線38となるA lを順次スパッタにより堆積する。この後、約400℃の熱処理によりA lをリフローし、シリコン酸化膜30に形成されたアスペクト比の高い開口部(ビアホール)を埋め込む。なお、第1配線層の上部に形成されたW金属層11'は、第2配線層のA lをリフローする際に、第1配線層のA lの溶解を防ぐ働きをする。

【0214】続いて、上記のT i、T i N、A l層をR I Eにより加工し、第2配線層を形成する。その後、シリコン酸化膜39をC V D法により堆積し、図17に示す半導体構造が完成する。

【0215】図18は、本発明の第7の実施形態に係わる半導体装置の断面図である。本実施形態は、F R A Mセルアレイとロジック回路等が混載された半導体装置に好適なさらに他の構造およびその製造方法を提供する。本実施形態の構造は、基本的には第3の実施形態と類似しており、図14と同一箇所には同一番号を付し、重複する説明は省略する。

【0216】本実施例の前半のプロセスは、第2の実施形態で説明した図11とほぼ同じである。すなわち、半導体基板1上にはメモリセルのスイッチ用トランジスタ31とメモリセル以外の混載デバイス用他のトランジスタ32、およびS T Iによる素子分離酸化膜2が形成されている。

【0217】これらのトランジスタを覆うように、シリコン酸化膜層10を堆積し、C M P法を用いて表面を平坦化する。その上に、S i、N、膜121をL P C V D法で、例えば150nm堆積する(図18)。このS i、N、膜121は、強誘電体キャパシタ形成の際の酸素

アニールによるトランジスタへのダメージ（閾値変動）を軽減する。

【0218】次に、全面にシリコン酸化膜層（SiO<sub>2</sub>）122を100nm堆積する。その上に強誘電体キャパシタを構成するPt層17、PZT層18、Pt層19を順次スパッタにより堆積する。これらの層は酸素中で熱処理され、PZT層が結晶化され、ペロブスカイト構造となる。その後これらの層は、キャパシタの形状にRIEにより加工される。

【0219】次に、全面にシリコン酸化膜13をプラズマCVD法により堆積し、上記トランジスタのソース領域S、ドレイン領域DへのコンタクトホールをRIEにより形成する。バリア層11としてのTi、TiN、配線22、36、37としてのAlを順にスパッタにより堆積し、約400℃の加熱処理によりAlをリフローし、上記のコンタクトホールを埋め込む。続いてCVD法によりバリアとしてのWメタル層11'を堆積する。これらのTi、TiN、Al、W層をRIEにより加工し、トランジスタのソース領域S、ドレイン領域Dとのコンタクトを含む第1配線層を形成する。本実施形態の特徴は、絶縁層10、121、122、13を通じて形成された開口部（コンタクトホール）が、リフローされたAlで埋め込まれるところにある。

【0220】次に、全面にシリコン酸化膜層30をプラズマCVD法で堆積し、CMPで平坦化する。トランジスタのドレイン領域Dの直上のシリコン酸化膜層30に開口部を形成し、対応する第1配線層36、37上のWメタル層11'を露出する。続いて第5の実施形態と同様に、バリア層112となるTi、TiN、配線38となるAlを順次スパッタにより堆積する。この後、約400℃の熱処理によりAlをリフローし、シリコン酸化膜30に形成されたアスペクト比の高い開口部を埋め込む。なお、第1配線層の上部に形成されたWメタル層11'は、第2配線層のAlをリフローする際に、第1配線層のAlの溶解を防ぐ働きをするもので、W以外にも第6の実施の形態と同様TiNやTiを用いることができる。

【0221】続いて、上記のTi、TiN、Al層をRIEにより加工し、第2配線層を形成する。その後、シリコン酸化膜39をCVD法により堆積し、図18に示す半導体構造が完成する。

【0222】次に、本発明の半導体装置の製造方法の第8の実施の形態として、例えば図19に示すようなFRAMセルの電荷蓄積用キャパシタの強誘電体膜および電極膜あるいは例えば図21に示すようなDRAMセルの電荷蓄積用キャパシタの高誘電率誘電体膜および電極膜の高密度化、高信頼性化を実現するための工程について複数の実施例を説明する。

【0223】即ち、一対の電極間に少なくとも2種以上の金属元素を含有する複合酸化物膜からなる誘電体膜を

用いたキャパシタを形成し、前記キャパシタ上にさらに絶縁性酸化膜と配線層を積層してなる半導体装置を製造する際、

（a）前記キャパシタの形成工程は、第1の電極を形成する工程と、誘電体膜を形成する工程と、0.5 Torr（=0.5×133.322Pa）以上500 Torr以下の減圧下でRTA処理（Rapid Thermal Anneal；急熱処理）を行なう工程と、この後、第2の電極を形成する工程とを具備する。

【0224】（b）前記キャパシタの形成工程は、第1の電極を形成する工程と、誘電体膜を形成する工程と、第2の電極を形成する工程と、この後、0.5 Torr以上500 Torr以下の減圧下でRTA処理を行なう工程とを具備する。

【0225】（c）前記キャパシタの形成工程は、第1の電極を形成する工程と、0.5 Torr以上500 Torr以下の減圧下でRTA処理を行なう工程と、誘電体膜を形成する工程と、この後に、第2の電極を形成する工程とを具備する。

【0226】（d）前記（a）乃至（c）のいずれかの工程において、第1の電極上に、少なくとも2種以上の金属元素を含有する複合酸化物膜を、スパッタ法、CVD（Chemical Vapor Deposition；化学気相成長）法、あるいはLSMCD（Liquid Source Mist Chemical Deposition）法により形成する。

【0227】（e）前記（a）乃至（c）のいずれかの工程において、減圧下のRTA処理を、0.5 Torr以上500 Torr以下の酸素分圧下で行う。

【0228】（f）前記（a）乃至（c）のいずれかの工程において、減圧下のRTA処理を、0.5 Torr以上500 Torr以下のオゾン分圧下で行う。

【0229】（g）前記（a）乃至（c）のいずれかの工程において、オゾン分圧比1%以上の雰囲気中でRTA処理を行なう。

【0230】ここで、前記RTA処理とは、昇温速度10℃/秒以上の熱処理をいう。この熱処理速度は膜の結晶性を著しく高める。特に、PZT等の鉛系誘電体膜では、低誘電率のパイロクロア相生成を避けることができ、結晶化に有利な方法である。但し、RTAによる熱処理は、その昇温速度が早いので、取り込みガスの揮発が不十分なまま結晶化が進んでしまうという難点をもつ。

【0231】上記第8の実施の形態に係る誘電体膜の形成方法では、RTA処理を0.5 Torr以上500 Torr以下の減圧下で行なうので、短時間の結晶化過程でも、デポジション膜中に取り込まれた残留ガスを排除しながら結晶化を進めることができ、結晶性の良い誘電体膜をしかも高密度に形成することができる。誘電体膜の結晶化時には、同時に電極膜の結晶化も進むが、電極膜中の取り込みガスもこの熱処理によって排除することが



でき、電極膜の抵抗値を下げるができる。

【0232】RTA処理は結晶化を進めるが、その際、酸素の供給が不足すると誘電体膜が半導体化するおそれがある。特に、PZT等のPb系誘電体膜やチタン酸バリウム膜等は容易に半導体化し、膜抵抗が著しく低下する。

【0233】このような場合の熱処理としては、減圧下のアニールを0.5 Torr 以上500 Torr 以下の酸素分圧下で行うことが望ましい。また、 $\text{IrO}_2$  や  $\text{RuO}_2$ 、 $\text{ITO}$ 、 $\text{SnO}_2$  等の導電性酸化物膜は、酸素の供給が不十分であると、その後のプロセスでの膜抵抗変化が激しく、特性が不安定になってしまうので、上記したような範囲の酸素分圧化でのアニールが有効である。

【0234】さらに、減圧下のアニールを0.5 Torr 以上500 Torr 以下のオゾン分圧下で行うと、膜のリーク電流を低減することができ、これは特にDRAM等リフレッシュ動作の必要なメモリにおけるキャパシタ形成には重要であり、消費電力を節約することができる。

【0235】これらの減圧下でのRTA処理は、特に、第1の電極上に少なくとも2種以上の金属元素を含有する複合酸化物膜からなる誘電体膜を形成する工程に、スパッタ法、CVD法、あるいはLSMCD法を採用した場合に特に有効である。これらの成膜方法で成膜した場合には取り込みガスの影響が避けられないからである。

【0236】一方、本発明の第8の実施の形態に係る誘電体膜の形成方法にゾル・ゲル法やMOD法を適用することも可能であるが、これらの成膜方法およびLSMCD法では、有機基の揮発量が多いため、最初から減圧下で熱処理すると、膜の表面が粗になってしまうおそれがある。従って、これらの場合には、予め、大気圧下で350℃以上の温度の熱処理を施してから後に前記したような減圧下でのRTA処理を実施することが望ましい。

【0237】次に、オゾンアニールの方法と効果について説明する。オゾン発生器を用いて生成したオゾン・酸素混合ガスを100～400℃に加熱した熱処理部に導入する。例えば、ウエハ背面を300℃に加熱しながらオゾン・酸素混合ガスを導入し、この熱処理部に100  $\text{mW}/\text{cm}^2$  の低圧水銀光を30～200分照射する。水銀光は波長が320 nm以下が有効である。

【0238】この場合、オゾン分圧比1%以上の混合ガス雰囲気中で熱処理を行なうと、成膜時に内在する酸素空孔が減少し、リーク電流の低減化を図ることができる。さらに、この後に600℃以上の酸素中の熱処理を加えると、ウエハ面内のばらつきも低減することができ、さらに有効である。

【0239】(実施例1) 図19は、本発明の第8の実施の形態に係る製造方法により形成されたキャパシタを有したFRAMセルの断面構造を示している。

【0240】図19のFRAMセルの製造に際しては、半導体基板1にLOCOSにより素子間分離絶縁膜2を

形成し、その後にソースS・ドレインD領域用の拡散層、ゲート絶縁膜3、ゲート電極部Gを形成することにより、MOSTランジスタ70を形成する。この後、CVD法を用いて、 $\text{SiO}_2$  から成る層間絶縁膜71を堆積する。

【0241】次に、メモリセルの情報記憶用キャパシタ72を形成する。まず、前記層間絶縁膜71の上に、2.5 mTorr のAr中で連続DCスパッタによりTi/Ptから成る下部電極膜を成膜する。

【0242】次いで、厚さ180 nmあるいは210 nmあるいは240 nmのPZT膜を、2.5 mTorr のAr中のRF(高周波)スパッタにより形成する。この後、最初のRTA処理を昇温速度100℃/秒、10 Torr の酸素中で800℃で10秒間行ない、その後、PZT膜上に上部電極膜としてのPt膜をDCスパッタで形成した後、拡散炉を用いて600℃で二度目のアニールをゆっくり行なう。次に、積層された下部電極膜、PZT膜および上部電極膜をRIEによりエッチングし、所望の形状にパターニングすることにより、下部電極17、誘電体膜18および上部電極19で構成されるキャパシタ72を形成する。ここで、エッチングダメージを除去するために、拡散炉を用いて600℃で三度目のアニールをゆっくり行なった。

【0243】次に、前記キャパシタ72を被覆するように絶縁膜73をCVD法により堆積させ、RIEにより、MOSTランジスタ70のソースS・ドレインD用拡散層の一方およびキャパシタ72の上部電極19および下部電極17を露出させるコンタクトホールをエッチング形成した後、拡散炉を用いて600℃で四度目のアニールをゆっくり行なった。

【0244】次に、MOSTランジスタ70のソースS・ドレインD用拡散層の一方と上部電極19とを接続するための内部配線74aと、下部電極17からの引き出し電極となる内部配線74bを形成し、素子全体にパッシベーション膜75を堆積する。その後、RIEにより、パッシベーション膜75にコンタクトホールを形成し、バリア層76を介してアルミニウム配線77を形成する。MOSTランジスタ70のゲート電極部Gはワード線として、内部配線74b、バリア層76、アルミニウム配線77はプレート線として使用される。

【0245】ここで、前記した4回のアニールのうち、1回目は誘電体膜結晶化のための熱処理であり、2回目は強誘電体膜18と上部電極19との界面状態を下部電極17と強誘電体膜18のそれと同様にするための熱処理であり、3回目と4回目はプロセスダメージ回復のためのものである。

【0246】以上の実施例を実施例1とし、厚さ180、210、240 nmの3種類のPZT膜に対応する実施例をそれぞれ実施例1-1、1-2、1-3とする。

【0247】次の各工程を変えた実施例を実施例2～6

とし、誘電体膜厚を変えたものを薄いものからそれぞれ実施例 n-1、n-2、n-3 とする。また、比較例も同様にして形成した。

【0248】（実施例 2）実施例 1 の情報記憶用キャパシタ 72 の形成を次のように行なって実施例 2 の半導体装置を形成した。まず、前記層間絶縁膜 71 の上に、  
2. 5 m Torr の Ar 中で連続 DC スパッタにより Ti / Pt から成る下部電極膜を成膜する。次いで、PZT 膜を基板温度 500℃、Ar / O<sub>2</sub>、雰囲気中の RF スパッタで形成する。PZT 膜上に Pt 膜を DC スパッタで形成した後、最初の RTA アニールを昇温速度 100℃ / 秒、10 Torr の酸素中で 800℃ で 10 秒間行な

った。  
【0249】（実施例 3）実施例 1 の情報記憶用キャパシタ 72 の形成を次のように行なって実施例 3 の半導体装置を形成した。まず、前記層間絶縁膜 71 の上に、  
2. 5 m Torr の Ar 中で連続 DC スパッタにより Ti / Pt から成る下部電極膜を成膜する。最初の RTA アニールを昇温速度 100℃ / 秒、10 Torr の酸素中で 800℃ で 10 秒間行ない、次いで、PZT 膜を基板温度 500℃、2. 5 m Torr の Ar 中の RF スパッタで形成する。その後、PZT 膜上に Pt 膜を DC スパッタで形成した後、二度目のアニールを今度は拡散炉を用いて 600℃ でゆっくり行なう。

（実施例 4）実施例 1 の情報記憶用キャパシタ 72 の形成を次のように行なって実施例 4 の半導体装置を形成した。まず、前記層間絶縁膜 71 の上に、Ir レジネートを回転塗布し、760 Torr の大気中で 800℃ で熱処理し、IrO<sub>2</sub> の下部電極膜を形成する。次いで、SBT 膜を有機金属化合物混合原料を霧状にして回転基板上に堆積する LSMCD 法を用いて成膜する。続いて、予め 760 Torr の大気中で 450℃ の熱処理を施した後、RTA アニールを昇温速度 50℃ / 秒、500 Torr の酸素中で 800℃ で 10 秒間行なった。その後、再び、SBT 膜上に Ir レジネートを回転塗布し、760 Torr の大気中で 800℃ で熱処理し、IrO<sub>2</sub> の上部電極膜を形成する。

【0250】（実施例 5）実施例 4 の情報記憶用キャパシタ 72 の形成を次のように行なって実施例 5 の半導体装置を形成した。まず初めに、前記層間絶縁膜 71 の上に、Ir レジネートを回転塗布し、760 Torr の大気中で 800℃ で熱処理し、IrO<sub>2</sub> の下部電極膜を形成する。次いで、SBT 膜を有機金属化合物混合原料を霧状にして回転基板上に堆積する LSMCD 法を用いて成膜する。続いて、予め 760 Torr の大気中で 450℃ の熱処理を施した後、RTA アニールを昇温速度 80℃ / 秒、5 Torr のオゾン 10%・酸素 90% の混合雰囲気中で 800℃ で 10 秒間行なった。その後、再び、SBT 膜上に Ir レジネートを回転塗布し、760 Torr の大気中で 800℃ で熱処理し、IrO<sub>2</sub> の上部電極膜

を形成する。

【0251】（実施例 6）実施例 1 の情報記憶用キャパシタ 72 の形成を次のように行なって実施例 6 の半導体装置を形成した。まず、前記層間絶縁膜 71 の上に、  
2. 5 m Torr の Ar 中で連続 DC スパッタにより Ti / Pt から成る下部電極膜を成膜する。次いで、PZT 膜を 2. 5 m Torr の Ar 中の RF スパッタで形成する。最初の RTA アニールを昇温速度 100℃ / 秒、10 Torr の酸素中で 800℃ で 10 秒間行ない、その後、PZT 膜上に Pt 膜を DC スパッタで形成した後、二度目のアニールを今度は拡散炉を用いてオゾン 10%・酸素 90% の混合雰囲気下、550℃ でゆっくり行なう。

【0252】（比較例 1）実施例 1 の情報記憶用キャパシタの形成を次のように行なって比較例 1 の半導体装置を形成した。まず、前記層間絶縁膜の上に、2. 5 m Torr の Ar 中で連続 DC スパッタにより Ti / Pt から成る下部電極膜を成膜する。次いで、PZT 膜を 2. 5 m Torr の Ar 中の RF スパッタで形成する。最初の RTA アニールを昇温速度 100℃ / 秒、760 Torr の酸素中で 800℃ で 10 秒間行ない、その後、PZT 膜上に Pt 膜を DC スパッタで形成した後、二度目のアニールを今度は拡散炉を用いて 600℃ でゆっくり行なう。

【0253】（比較例 2）実施例 4 の情報記憶用キャパシタの形成を次のように行なって比較例 2 の半導体装置を形成した。まず、前記層間絶縁膜の上に、Ir レジネートを回転塗布し、760 Torr の大気中で 800℃ で熱処理し、IrO<sub>2</sub> の下部電極膜を形成する。次いで、厚さ 180 nm の PZT 膜を、有機金属化合物混合原料を霧状にして回転基板上に堆積する LSMCD 法を用いて成膜する。続いて、予め 760 Torr の大気中で 450℃ の熱処理を施した後、RTA アニールを昇温速度 50℃ / 秒、760 Torr の酸素中で 800℃ で 10 秒間行なった。その後、再び、PZT 膜上に Ir レジネートを回転塗布し、760 Torr の大気中で 800℃ で熱処理し、IrO<sub>2</sub> の上部電極膜を形成する。

【0254】（実施例および比較例の評価）図 20 は、前記各実施例 1～6 および比較例 1、2 におけるキャパシタの容量を測定し、膜厚（誘電体厚み）t とキャパシタンス C の逆数（1 / C）の関係をグラフ化して示している。

【0255】キャパシタンス C、誘電体の誘電率 ε、誘電体厚み t の間には、以下の関係が成り立つ。

$$【0256】 C = \epsilon_0 \times \epsilon \times S / t$$

但し、ε<sub>0</sub> は真空の誘電率、S は電極面積である。これを書き換えると、

$$1 / C = k \times (1 / \epsilon) \times t$$

但し、k = 1 / (ε<sub>0</sub> × S) の定数である。実際のグラフでは、

$$1/C = k \times (1/\epsilon) \times t + n$$

の直線になっており、 $n = 1/C'$  とすると、 $C'$  分のキャパシタが直列に接続されている回路が予想される。

【0257】本発明の第8の実施の形態に係る実施例では、前記 $C'$ に相当するキャパシタ成分が小さく、このことから、電極との界面に余分な低誘電率層が存在せず、薄膜化に対応できる誘電体膜が形成されていることが分かる。

【0258】一方、比較例では、 $C'$ に相当するキャパシタ成分が大きく、これでは十分なキャパシタンスが得られず、薄膜化にも対応できない。素子を低電圧で駆動するためには、誘電体を充分飽和させた領域で用いること、即ち、薄膜化して充分大きな電界をかけることが必要であるが、界面低誘電率層の $C'$ が存在すると、薄膜化に対応することができない。

【0259】実施例1～6と比較例1、2の誘電体部分の断面を透過電子顕微鏡で調べたところ、比較例の誘電体と電極界面に膜厚 $1/10$ から $1/5$ に相当する大きな空隙が数多くみられたが、実施例では僅かであり、この空隙が膜の一部を低密度化し、低誘電率層の原因になっていることが分かった。

【0260】その他、各素子の動作速度特性、疲労特性等を調べた。最も動作速度を早くできたのは実施例3であり、特に書き込み時間に関して $140\text{ ns}$ まで短縮しても不良ビットが生じなかった。他の実施例では $150\text{ ns}$ 以上としないと信頼性試験で不良ビットが生じた。また、実施例4と5では書き換え回数が $10^{17}$ 回以上を達成することができたが、他の実施例では $10^{18}$ 回から不良ビットが現れた。 $10^7$ 回疲労試験後に長時間放置してインプリント特性を調べた際に不良ビットを生じなかったのは、実施例5と6であった。

【0261】(その他の実施例)図21に示すトレンチ型のDRAMセルの形成工程において、半導体基板80に素子分離領域81、メモリセルのトランスファゲート用のMOSトランジスタのソースS・ドレインD領域、メモリセルのトレンチ構造のキャパシタ82を形成する。上記キャパシタ82の形成に際して、下部電極83のRuをDCスパッタで形成後、BST膜84を有機金属化合物を原料ソースとし、Arのキャリアガスを用いるCVD法により、基板温度 $450^\circ\text{C}$ にて $100\text{ nm}$ の堆積膜として得た。この後、 $N_2$ 分圧が $450\text{ Torr}$ 中、 $600^\circ\text{C}$ でRTAアニールを行ない、さらに上部電極85のRuをDCスパッタで形成し、3次元の積層構造を得た。さらにその後、 $\text{SiO}_2$ 絶縁膜86の形成とワード線WL、ビット線BLの形成を行ない、DRAM構造を形成した。この場合、誘電率250の緻密なBST誘電体膜を得た。

【0262】次に、前記したようなFRAMをRF-IDシステムに応用した例を示す。

【0263】RF-IDシステムとは、電波を用いた非

接触型タグ・システム(識別器)のことで、一般的には非接触データ・キャリア・システム等とも呼ばれており、RF-IDシステムの全体のシステム構成を図27に示す。

【0264】RF-IDシステムは、パソコン、コントローラ、アンテナ等で構成されるホスト側と、トランスポンダと呼ばれるデータ・キャリアで構成される。トランスポンダは、FRAMとASICが1チップ化されたモノリシックRF-IDチップおよび電力受信、データ受信/送信を兼ねるアンテナを内蔵するシンプルな構成である。

【0265】ホスト側からは必要に応じてコマンドおよびデータを搬送波に乗せて送信するが、トランスポンダ側ではその搬送波により必要な電力を発生させ、データの書き込みおよび読み出しと送信に利用してホスト側に情報を返す。

【0266】非接触型タグは、電池が不要であり、FRAMの記憶内容を電波を使って非接触で読み取り、その内容を書き換えることにより、人の入退出などの管理に活用することが可能である。例えば服のポケットに定期券用の非接触型タグを入れたまま改札したり、非接触型タグを自動車につけて走り、高速道路の料金所でいちいち精算するために止まらなくて済むようにするとか、人との介在なしに駐車場の出入りを監視・管理するなどの用途を狙っている。また、家畜や回遊魚の行動を管理するために使用することが可能である。

【0267】図28は、トランスポンダの内部回路の詳細を示す。

【0268】即ち、外部から入力される電磁波を検知するLC回路と、LC回路が検出した電磁波から信号を生成する回路58と、LC回路が検出した電磁波から電源電圧を発生させる回路59と、電源電圧の立ち上がりを検出してパワーオン信号を出力するパワーオン回路60と、強誘電体物質を電極間に有する強誘電体キャパシタと電荷転送用のMOSトランジスタとからなるメモリセルを複数個行列状に配置し、例えば同一行に属するメモリセルのMOSトランジスタを同一のワード線でそれぞれ共通接続し、同一行に属するメモリセルの強誘電体キャパシタの一方の電極を同一のキャパシタプレート線でそれぞれ共通接続し、同一列に属するメモリセルのMOSトランジスタの一方の端子を同一のビット線でそれぞれ共通接続して構成したFRAMセルアレイ61等から構成される。

【0269】なお、本発明は上記したようなFRAMに限らず、FPGA(Field Program-able Gate Array)やスタティック型RAMを搭載した論理LSIなどにおいて、ロジックのプログラム記憶部に少量ではあるが使用される強誘電体メモリセルの形成方法に適用することも可能である。

【0270】また、本発明は上記したような半導体基板

上に強誘電体メモリセルを形成する場合に限らず、S O I などのように絶縁基板上の半導体層上に強誘電体メモリセルを形成する場合にも適用することが可能である。

【0271】さらに、電荷転送用のスイッチングトランジスタとしては、ゲート絶縁膜が酸化物からなるM O S トランジスタに限定されず、ゲート絶縁膜が窒化物や窒酸化物、あるいは酸化物と窒化物との積層構造などからなるM I S トランジスタを形成することもできる。

【0272】

【発明の効果】上述したように本発明の半導体装置の製造方法によれば、強誘電体メモリセルを形成する際、パストランジスタの一端側領域上にコンタクトプラグ層を埋め込んだ後に強誘電体キャパシタを形成し、キャパシタ上部電極とコンタクトプラグの上端部とを電極配線で接続するので、強誘電体キャパシタ形成後における還元性雰囲気中での処理の影響を回避し、かつ、強誘電体キャパシタを容易に形成することができる。

【0273】また、本発明の半導体装置の製造方法によれば、キャパシタ上部電極（P t 等）の微細加工ひいては強誘電体メモリセルのパターンの微細化を実現できる。

【0274】従って、本発明の半導体装置の製造方法により製造された半導体装置によれば、キャパシタ上部電極とコンタクトプラグの上端部とを接続するための電極配線の信頼性が高く、強誘電体キャパシタの微細化が可能な構造を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る強誘電体メモリセルを採用した大容量のF R A M についてセルアレイの製造工程におけるセルアレイの一部の平面パターンの一例を概略的に示す図

【図2】図1の工程につづく工程における平面パターンの一部を示す図

【図3】図2の工程につづく工程における平面パターンの一部を示す図

【図4】図1乃至図3に示したセルの製造工程の一例における断面の一部を示す図

【図5】図5の工程につづく工程における断面の一部を示す図

【図6】図5の工程につづく工程における断面の一部を示す図

【図7】図6の工程につづく工程における断面の一部を示す図

【図8】図7の工程中の一部を取り出して断面の一部を詳細に示す断面図

【図9】図4乃至図8に示したセルの変形例の製造方法について断面の一部を示す図

【図10】図4乃至図8に示したセルの変形例の製造方法について断面の一部を示す図

【図11】本発明の第2の実施の形態に係るF R A M セ

ルを採用した大容量のF R A M についてセルアレイの製造工程の一例における断面の一部を示す図

【図12】図11の工程につづく工程における断面の一部を示す図

【図13】図11および図12に示したF R A M セルを含むF R A M の平面パターンの一部を示す図

【図14】本発明の半導体装置の製造方法の第3の実施の形態に係るF R A M セルの構造を示す断面図

【図15】本発明の半導体装置の製造方法の第4の実施の形態に係るF R A M セルの構造を示す断面図

【図16】本発明の半導体装置の製造方法の第5の実施の形態に係るF R A M セルの構造を示す断面図

【図17】本発明の半導体装置の製造方法の第6の実施の形態に係るF R A M セルの構造を示す断面図

【図18】本発明の半導体装置の製造方法の第7の実施の形態に係るF R A M セルの構造を示す断面図

【図19】本発明の半導体装置の製造方法の第8の実施の形態に係るF R A M セルの構造を示す断面図

【図20】第8の実施の形態に係る実施例および比較例のキャパシタ特性を表すグラフ

【図21】本発明の半導体装置の製造方法の第8の実施の形態に係るD R A M セルの構造を示す断面図

【図22】1トランジスタ・1キャパシタ構成の強誘電体メモリセルの等価回路を示す回路図

【図23】図22の強誘電体メモリセルのアレイおよびその周辺回路の一部の等価回路を示す回路図

【図24】図22のメモリセルを2個用いた2トランジスタ・2キャパシタ型の強誘電体メモリセルの書き込み動作の原理を説明するために強誘電体キャパシタの印加電界および電気分極の状態を示す図

【図25】図22のメモリセルを2個用いた2トランジスタ・2キャパシタ型の強誘電体メモリセルの読み出し動作の原理を説明するために強誘電体キャパシタの印加電界および電気分極の状態を示す図

【図26】図24に示した書き込み動作および図25に示した読み出し動作に際してプレート線P L に印加される電圧波形の一例を示す波形図

【図27】R F - I D システムの全体のシステム構成を示す図

【図28】トランスポンダの内部回路の詳細を示す図

【符号の説明】

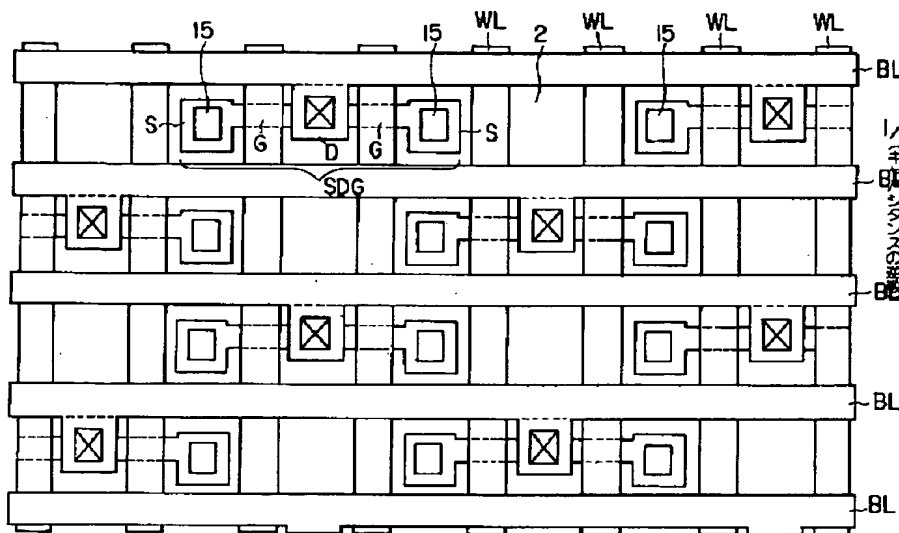
- 1 … 半導体基板、
- 2 … 素子間分離酸化膜、
- 3 … ゲート酸化膜、
- 4 … P ドープ・ポリシリコン、
- 5 … W S i 、
- 6、7 … ゲート電極保護用の絶縁膜、
- 9、10 … 絶縁膜、
- 11 … バリア金属膜、
- 13 … 平坦化用の絶縁膜、

- 14…バリアメタル膜、  
 15…キャパシタコンタクトプラグ、  
 16…キャップ用の絶縁膜、  
 17…下部電極、  
 18…強誘電体薄膜、  
 19…上部電極、  
 16a、19a…電極配線接続用の開口部、  
 20a…上部電極埋め込み用の絶縁膜、  
 20…キャパシタ保護用の絶縁膜、  
 21…バリアメタル膜、

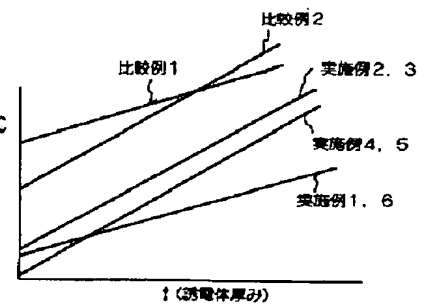
- 22…電極配線、  
 23…パッシベーション膜、  
 SDG…活性領域、  
 D…不純物拡散層（ドレイン領域）、  
 G…ゲート電極部、  
 S…不純物拡散層（ソース領域）、  
 BL…ビット線、  
 WL…ワード線、  
 PL…プレート線。

10

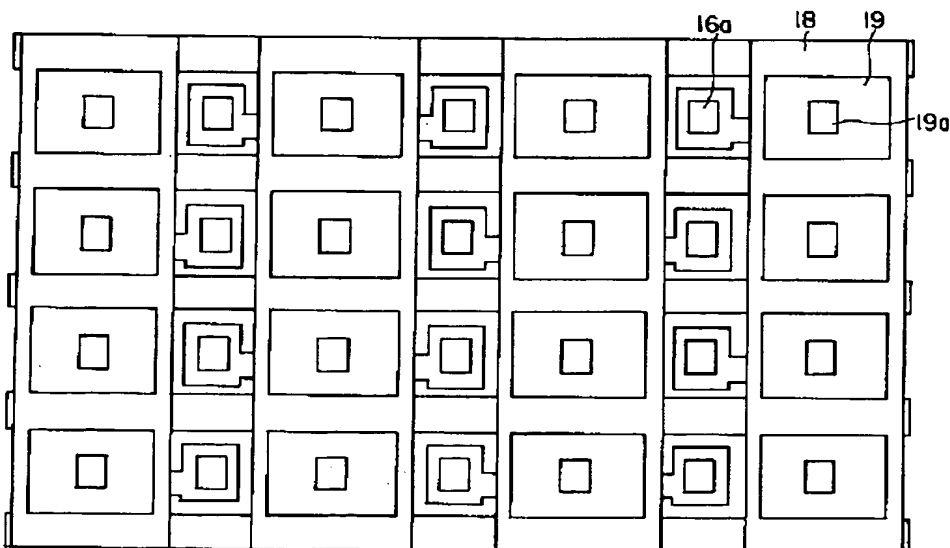
【図 1】



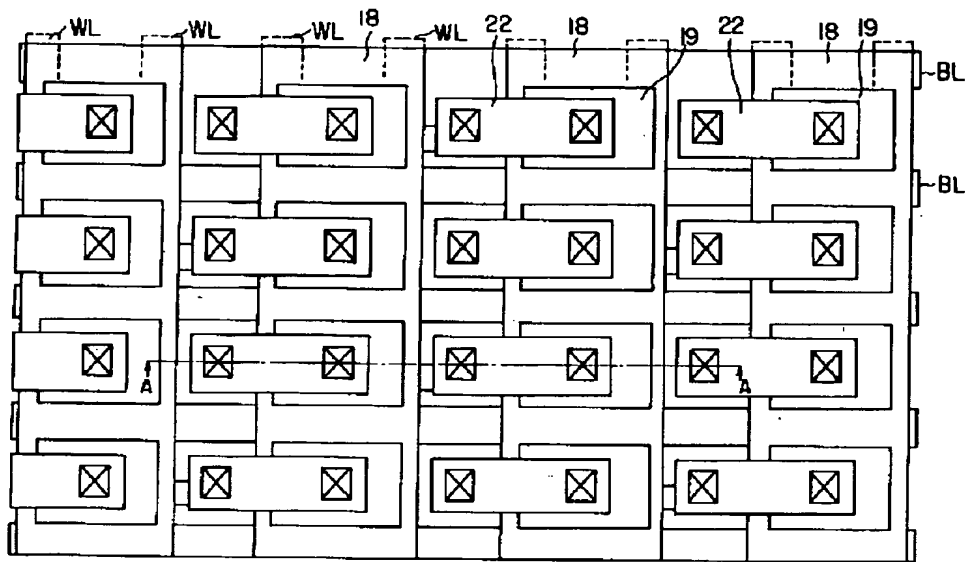
【図 20】



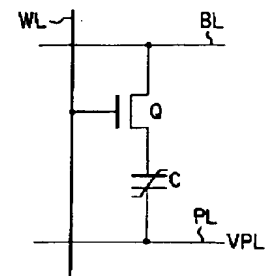
【図 2】



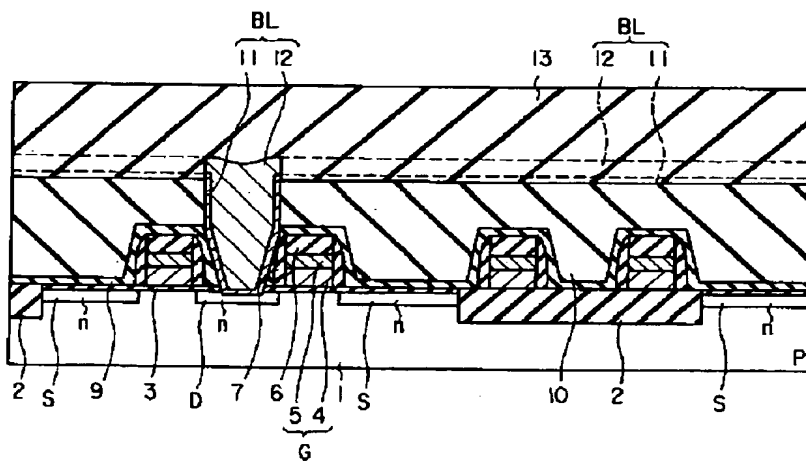
【図 3】



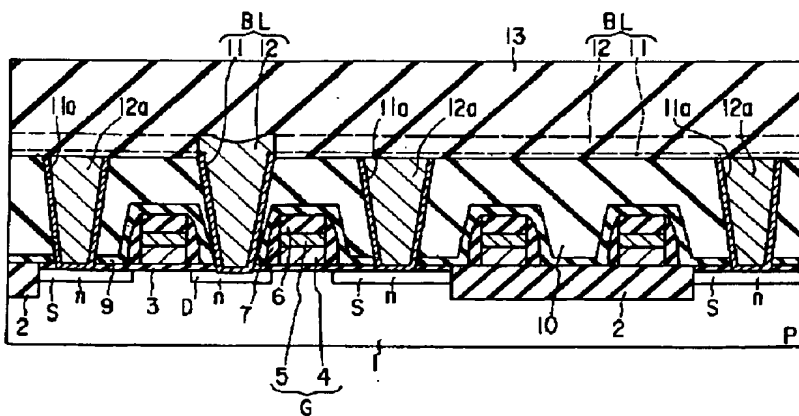
【図 22】



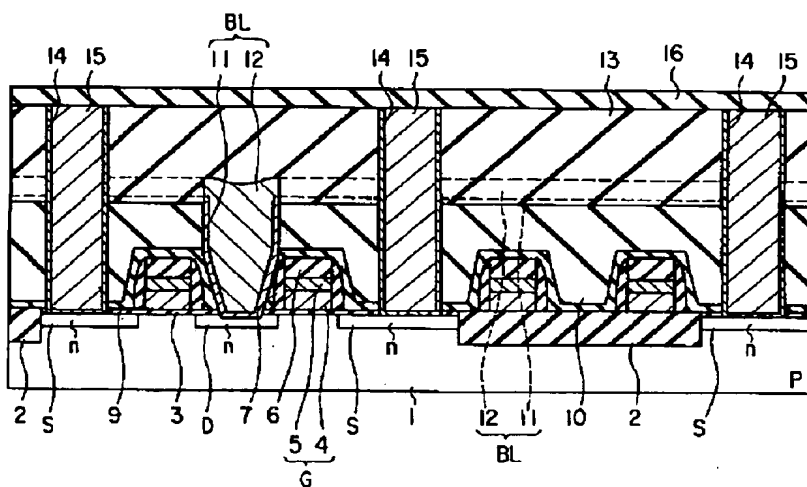
【図 4】



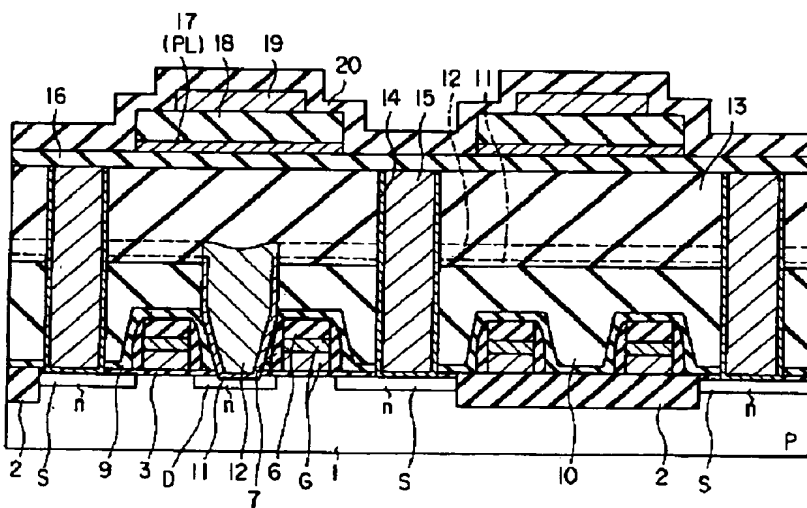
【図 9】



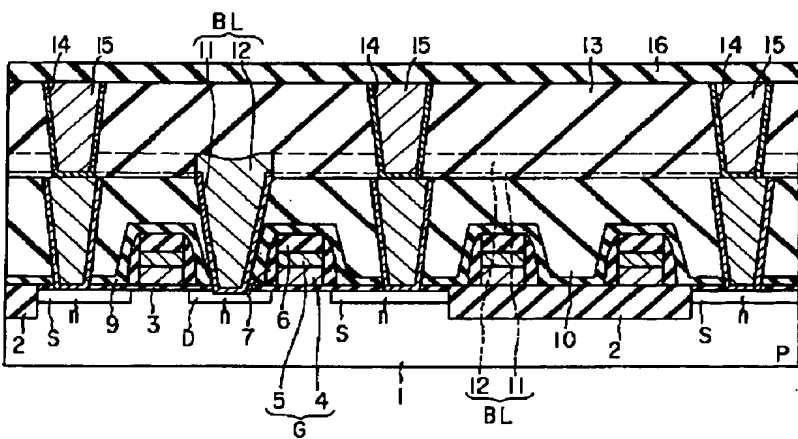
【图 5】



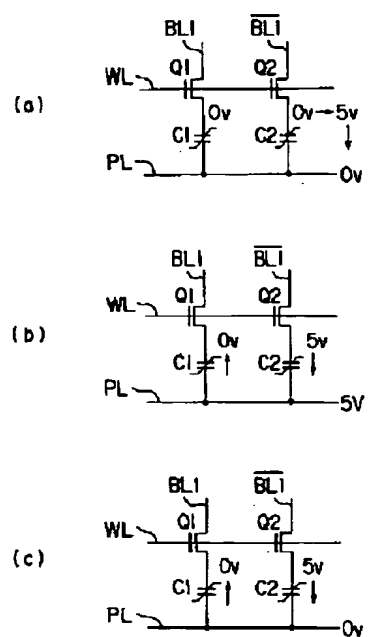
【図 6】



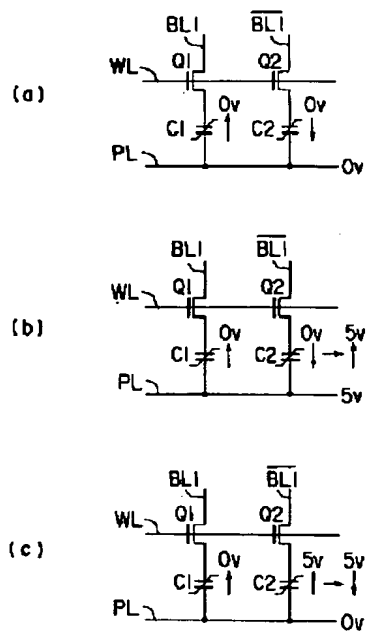
【図 10】



【图 24】



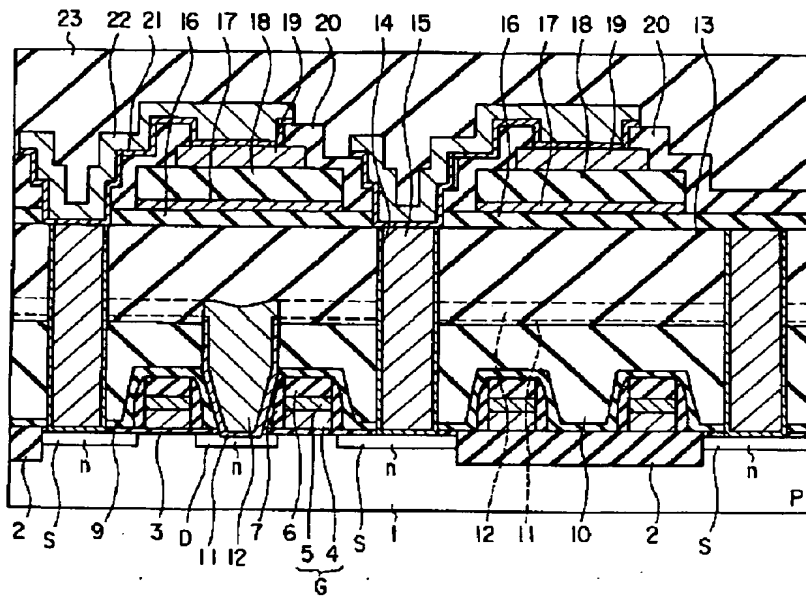
【図 25】



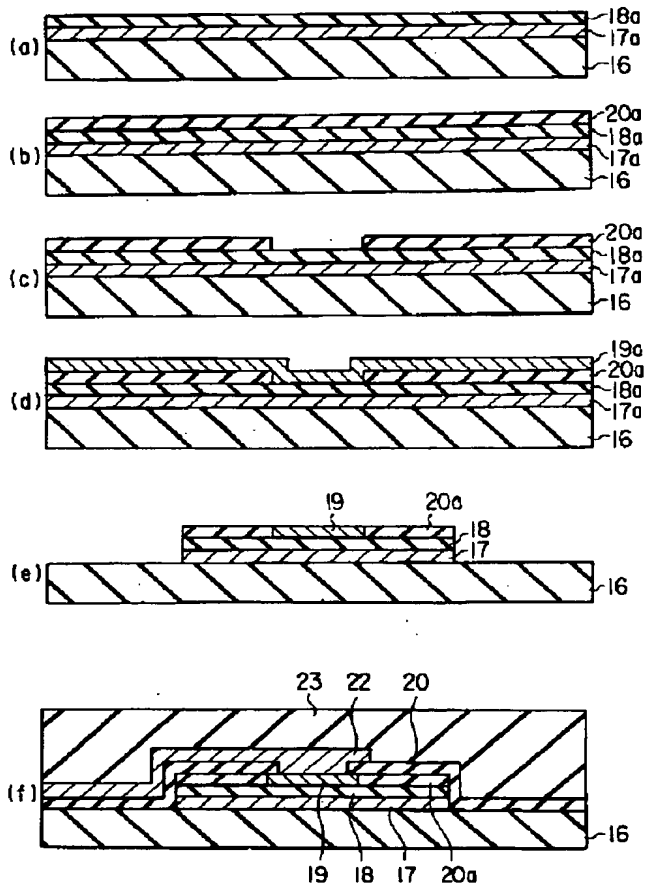
【図 2 6】



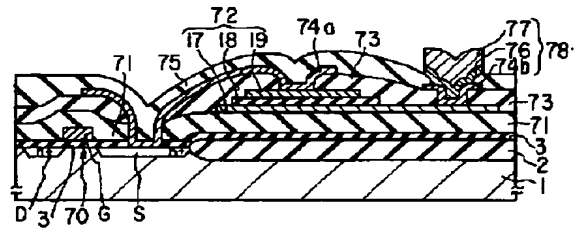
【図 7】



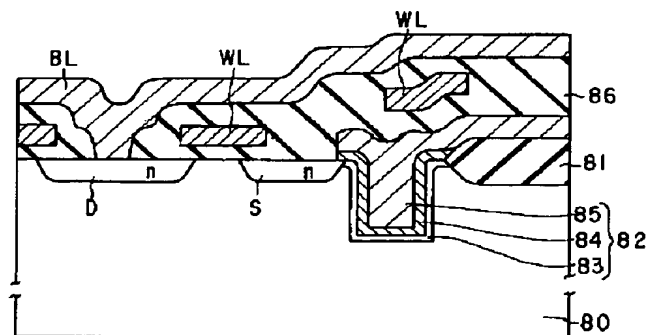
【図 8】



【図 19】

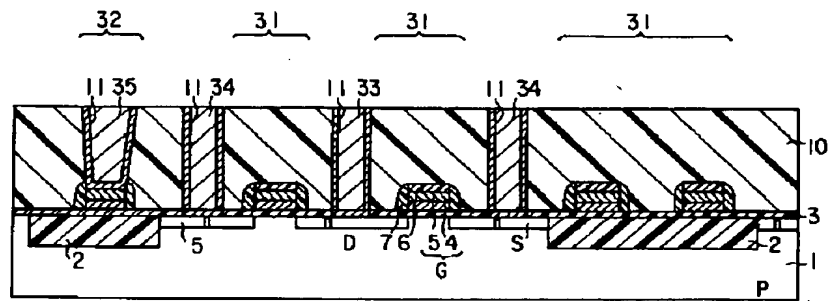


【図 21】

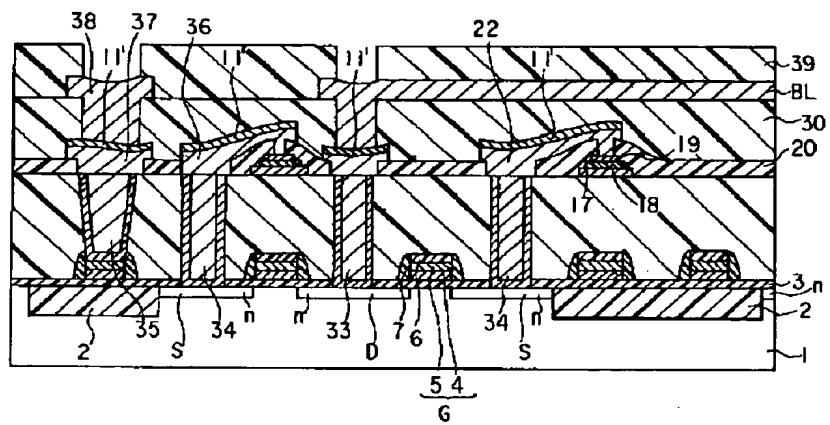




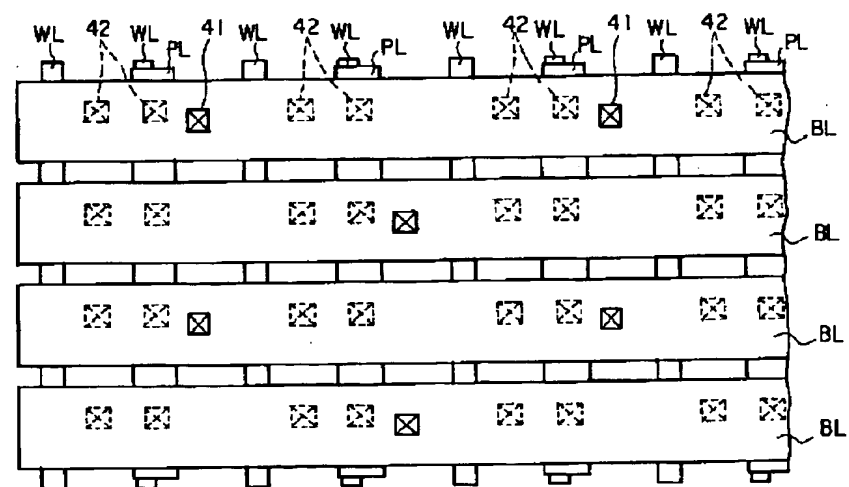
【図 1 1】



【図 1 2】

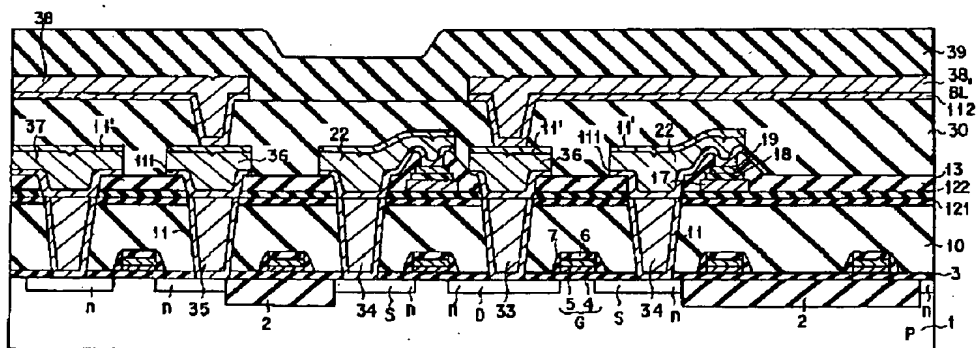


【図 1 3】

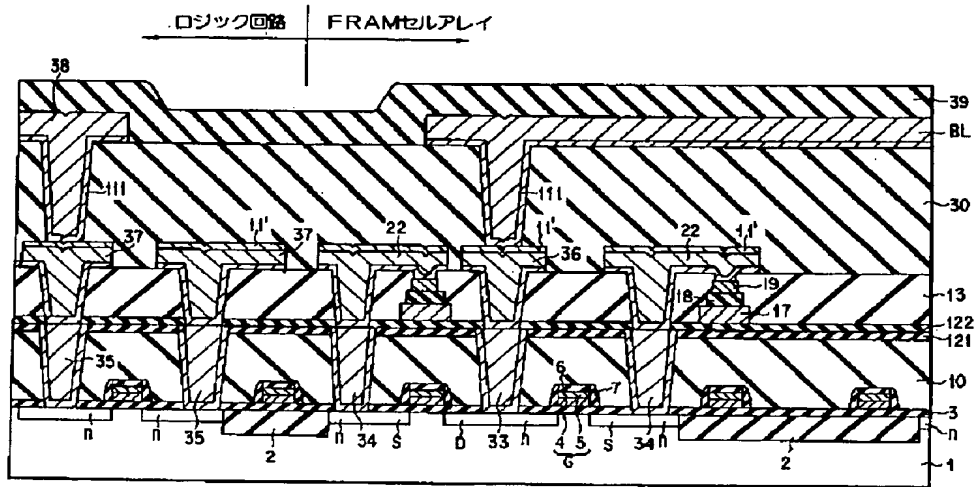


[illegible]

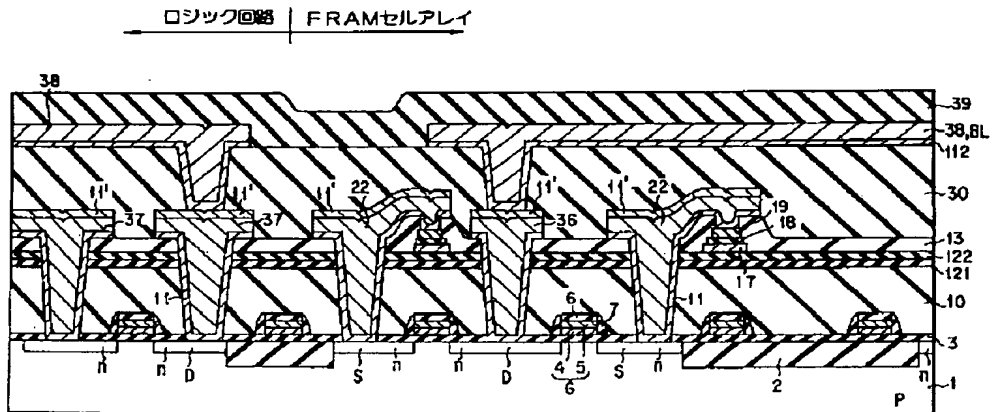
ロジック回路 | FRAMセルアレイ



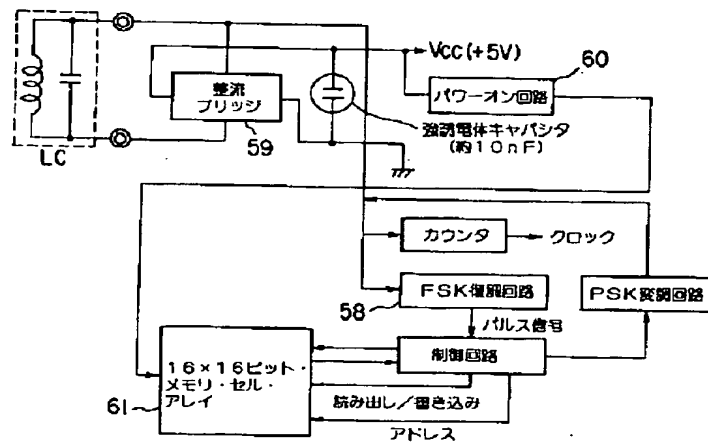
【図 17】



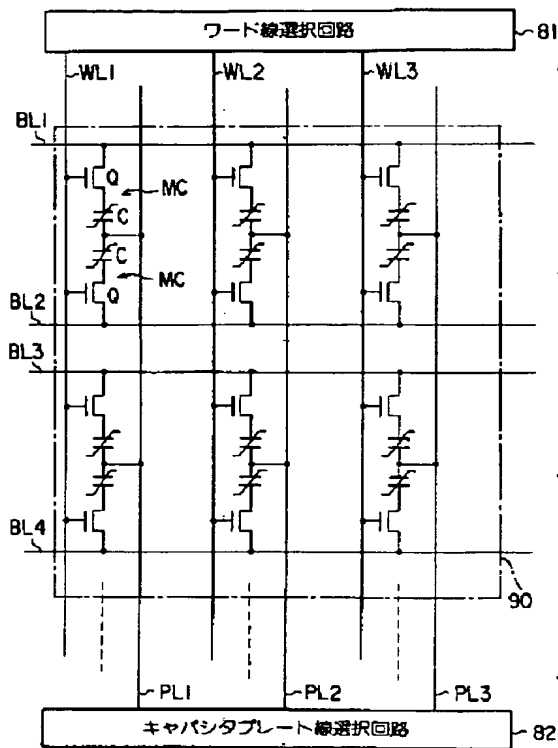
【図 18】



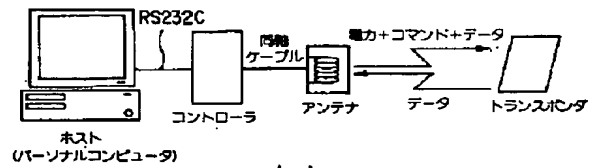
【図 28】



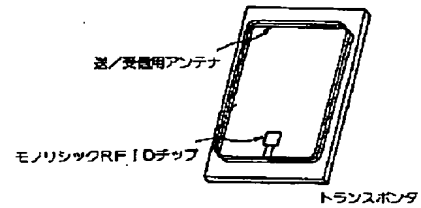
【図 23】



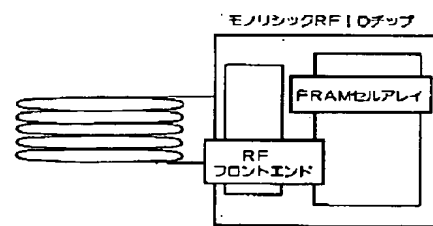
【図 27】



(a)



(b)



(c)

フロントページの続き

(51) Int. Cl. °

29/792

識別記号

庁内整理番号

F I

技術表示箇所

(72) 発明者 首藤 晋

神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(72) 発明者 奥和田 久美

神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(72) 発明者 日高 修

神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内